

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-237612

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/01		H 0 4 N 7/01	Z
G 0 6 T	13/00		5/073	A
H 0 4 N	5/073		G 0 6 F 15/62	3 4 0 A
	7/30		H 0 4 N 7/133	Z

審査請求 未請求 請求項の数12 F D (全 25 頁)

(21)出願番号 特願平7-352640

(22)出願日 平成7年(1995)12月29日

(31)優先権主張番号 特願平6-340583

(32)優先日 平6(1994)12月29日

(33)優先権主張国 日本(J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大石 義明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 加藤 元樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 北澤 俊彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

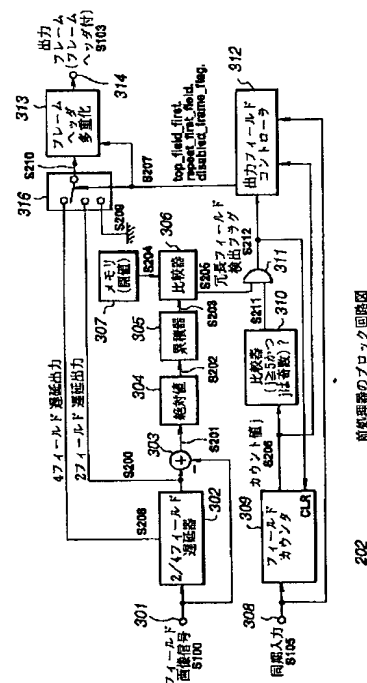
最終頁に続く

(54)【発明の名称】 動画像処理方法

(57)【要約】

【課題】本発明は、冗長画像が一定周期であるいは不規則に含まれる動画像を処理できるような動画像処理方法を提供することを目的とする。

【解決手段】本発明に係る動画像処理方法は、複数のフィールド画像からなり、所定の画像レートで入力されたデジタル動画像信号に所定の画像処理を施して伝送する動画像処理方法であって、入力デジタル動画像信号から冗長フィールド画像を検出し、検出された冗長フィールドを除去する。冗長フィールドが除去されたフィールド画像列から所定の画像処理が施されるべきフレームを構成するトップフィールドとボトムフィールドとの組合せを判定し、判定結果を出力する。冗長フィールドが除去されたフィールド画像列に所定の信号を挿入して入力デジタル動画像信号と同一の画像レートを有する処理画像信号を生成する。判定結果に従って処理画像信号に対して所定の画像処理を施す。



動画像処理装置のブロック回路図

【特許請求の範囲】

【請求項1】 複数のフィールド画像からなり、所定の画像レートで入力されたデジタル動画画像信号に所定の画像処理を施して、伝送する動画画像処理方法であって、前記入力デジタル動画画像信号から冗長フィールド画像を検出する第1のステップと、

前記複数のフィールド画像から前記検出された冗長フィールドを除去する第2のステップと、

前記冗長フィールドが除去されたフィールド画像列から前記所定の画像処理が施されるべきフレームを構成するトップフィールドとボトムフィールドとの組合せを判定し、判定結果を出力する第3のステップと、

前記冗長フィールドが除去されたフィールド画像列に所定の信号を挿入して前記入力デジタル動画画像信号と同一の画像レートを有する処理画像信号を生成する第4のステップと、

前記判定結果に従って前記処理画像信号に対して前記所定の画像処理を施す第5のステップと、

を有することを特徴とする動画画像処理方法。

【請求項2】 前記所定の画像処理を前記処理画像信号に施す際に用いられるサイド情報を前記処理画像信号に付加する第6のステップ、

を有することを特徴とする請求項1記載の動画画像処理方法。

【請求項3】 前記入力デジタル動画画像信号は、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理により生成された信号であることを特徴とする請求項1記載の動画画像処理方法。

【請求項4】 前記入力デジタル動画画像信号が、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理により生成された信号であるとき、

前記サイド情報は、

前記原画像を処理する際に、前記トップフィールド及び前記ボトムフィールドのうち、どちらが先に読み出されたかを示す第1のフラグと、

前記原画像の1画面が3フィールド又は2フィールドのどちらの画像レートで読み出されたかを示す第2のフラグと、

前記処理画像信号のうち、どの画像信号が前記挿入された所定の信号であるか否かを示す第3のフラグと、からなることを特徴とする請求項2記載の動画画像処理方法。

【請求項5】 前記所定の画像処理は、圧縮符号化処理であり、

前記第3のフラグが付加された処理画像信号に対しては、前記圧縮符号化処理は行われなことを特徴とする請求項4記載の動画画像処理方法。

【請求項6】 前記第1のステップにおいて、前記冗長

フィールドを、前記入力デジタル動画画像信号のフィールド間相関度を計算することにより、検出することを特徴とする請求項1記載の動画画像処理方法。

【請求項7】 前記入力デジタル動画画像信号が、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理により生成された信号であり、

前記第1のステップにおいて、前記冗長フィールドを、前記入力デジタル動画画像信号の現在のフィールドの画像信号と2フィールド分遅延された画像信号とのフィールド間相関度を計算することにより、検出することを特徴とする請求項6記載の動画画像処理方法。

【請求項8】 前記第1のステップにおいて、さらに、前記入力デジタル動画画像信号の入力フィールド数をカウントし、このカウント値が所定値であるかを判定し、この判定の結果と前記フィールド間相関度とから前記冗長フィールドを検出することを特徴とする請求項7記載の動画画像処理方法。

【請求項9】 前記処理画像信号に挿入される所定の信号は、画像信号として意味の無い無効信号であることを特徴とする請求項4記載の動画画像処理方法。

【請求項10】 複数のフィールド画像からなり、所定の画像レートのデジタル動画画像信号から冗長フィールドが除去され、前記冗長フィールドが除去されたデジタル動画画像信号に前記冗長フィールド分の予め決められた無効信号を挿入し、さらに画像処理を制御するためのサイド情報を付加して生成された処理画像信号から前記冗長フィールドを含むデジタル動画画像信号を復元する動画画像処理方法であって、

前記処理画像信号から前記サイド情報を分離する第1のステップと、

前記サイド情報を用いて、前記処理画像信号から前記無効信号を除去する第2のステップと、

前記無効信号が除去された画像信号列の一部の画像信号を繰り返すことにより、前記冗長フィールドを生成して前記所定の画像レートのデジタル動画画像信号を復元する第3のステップと、

を有することを特徴とする動画画像処理方法。

【請求項11】 前記第3のステップでは、前記無効信号が除去された画像信号列の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理が行われることを特徴とする請求項10記載の動画画像処理方法。

【請求項12】 前記サイド情報は、前記デジタル動画画像信号を復元する際に、1画面を構成するトップフィールド及びボトムフィールドのうち、どちらが先に読み出されるかを示す第1のフラグと、前記処理画像信号の1画面が3フィールド又は2フィールドのどちらの画像レートで読み出されるかを示す第2のフラグと、

前記処理画像信号のうち、どの画像信号が前記挿入された無効信号であるか否かを示す第3のフラグと、からなることを特徴とする請求項1記載の動画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冗長画像が含まれる動画像を処理する動画像処理方法に関し、特に、映画のフィルムのような原画像ソースを光学／電気変換して得られた動画像信号を処理するための動画像処理方法に関する。

【0002】

【従来の技術】動画像を扱う複数の装置を接続し、動画像処理システムを組む場合において、動画像の同期を取る必要がある。一般にシステムの1の装置を基準とし、他の装置は追従させられる。この基準になる装置はマスタと呼ばれ、他はスレーブと呼ばれる。通常、マスタは動画像の供給源であるビデオカメラ、VTR、ビデオディスク、又はコンピュータである。これに対して、スレーブは、供給された動画像を処理する符号化装置（エンコーダ）、VTR、又はモニタ装置である。

【0003】マスタから供給された同期信号は、システムの位相ロックループ（PLL：Phase Locked Loop）の基準クロックとして用いられる。

【0004】具体的な動画像符号化システムの一例を図16に示す。

【0005】この動画像符号化システムは、符号化器101のクロック、局所復号器102のクロック、表示クロックといった多くのクロックを有するが、この中で、動画像の供給源である画像入力装置10のデジタルVTR100から供給されるフレーム同期信号S2をマスタ・クロックとしている。

【0006】ここで動画像符号化とは、動画像のデジタル伝送の際に、伝送コストの低減のために必須とされている技術である。

【0007】例えば、画像処理部20は、符号化器101と局所復号器102よりなり、いわゆるMPEG2（ISO/IEC 13818-2）などで広く知られている動き補償予測とDCTを組み合わせたハイブリッド符号化方法を用いている。

【0008】ここで入力画像S1は、例えば図17に示すように、30フレーム／秒（60フィールド／秒）や25フレーム／秒（50フィールド／秒）などのレートで与えられる。

【0009】図中、網線で示したフィールドがトップフィールド（top_field）又は奇数フィールド（odd field）であり、斜線で示したフィールドがボトムフィールド（bottom_field）又は偶数フィールド（even field）である。この例では、必ず1フレームは一对のフィールドで構成される。したがって、フレーム同期信号S2

は、それぞれのフレームと合致して、供給される。この場合、すべての入力画像は、図16の画像処理部20にて符号化され、符号化器101は、フレーム同期信号S2にロックして動作する。

【0010】このように、入力画像S1に冗長なフィールドが含まれない場合には、フレーム同期信号S2を利用することで、動画像符号化システムは破綻を来すことなく動作をしていた。

【0011】

【発明が解決しようとする課題】ところで図16において、入力画像S1に冗長画像が含まれる場合がある。

【0012】この冗長画像とは、例えば映画フィルムを光学／電気変換してVTRに記録したような動画像に含まれる。すなわち、原画像ソースとしての映画フィルムのコマ数が毎秒24コマであるのに対して、NTSCのテレビジョン方式では、毎秒30フレーム（60フィールド）である。そこで不足する毎秒6フレーム（12フィールド）を補償するために、2コマについて1フィールドの割合で同一フィールドを繰り返すことで、2コマを5フィールドとし、24コマを60フィールドすなわち30フレームに変換している。この方法は、3：2ブルダウンと呼ばれ、詳細は後述する。この繰り返されたフィールドは先のフィールドと同一であり、冗長画像となる。

【0013】動画像符号化システムでは、冗長画像を検出し、これを符号化しないことで、データを削減する。したがって、図16の例において、図示しないものの、符号化器101では、その前処理において、冗長画像の検出を行い、ただ単に冗長画像について符号化を行わないようにしている。

【0014】このような処理がなされる場合について、具体例を図18に示す。

【0015】この例では、冗長画像は白抜きのフィールドで示され、符号化されない。

【0016】ここで、白抜きのフィールドが奇数フィールドの場合には直前の奇数フィールドと同じであり、白抜きのフィールドが偶数フィールドの場合には直前の偶数フィールドと同じである。したがって、前処理で5フィールド毎に1フィールドを除去し、その上で連続する2フィールドから新しい入力フレームを作っている。

【0017】この結果、次段の画像処理装置へ入力されるフレームのタイミングは、タイミングパルスS3で示すように、フレーム同期信号S2と非同期的となり、フレーム同期信号S2とロックしなくなる。そのため、フレーム同期信号S2を画像処理システムで利用する図16の動画像符号化システムでは、フレーム同期信号S2を、画像処理部20等で使用することができない。

【0018】また、図17の通常の動画像のほかに、図18の冗長画像を含む動画像をも扱う場合、画像処理部20は、前処理する場合としない場合等で処理の複雑さ

が増すことになる。

【0019】さらに、編集作業の結果、冗長画像が不規則に含まれるようになった動画像では、フレームのタイミングはより複雑に不規則に変化する場合も考えられる。そのような全てのタイミングに対応する画像処理装置は知られておらず、また作することは困難であった。

【0020】本発明はこのような実情に鑑みてなされたものであり、冗長画像が一定周期であるいは不規則に含まれる動画像を処理できるような動画像処理方法を提供することを目的とする。

【0021】また、本発明は、画像入力装置から供給される画像同期入力をマスタ・クロックとする動画像処理システムにおいて、画像入力装置から供給される原入力動画像の中から冗長画像を取り除くなどの前処理のために、次段の画像処理装置へ入力される画像列が、図18に示すように、原入力動画像の同期入力にロック(lock)しない場合でも、原入力動画像の同期入力を、画像処理システムのマスタ・クロックにして、画像処理及び処理画像を出力できるための技術を提供することを目的とする。

【0022】すなわち、入力フレーム（又はフィールド）同期信号を符号化器でも使えるようにするための技術を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る動画像処理方法は、複数のフィールド画像からなり、所定の画像レートで入力されたデジタル動画像信号に所定の画像処理を施して、伝送する動画像処理方法であって、入力デジタル動画像信号から冗長フィールド画像を検出する第1のステップと、複数のフィールド画像から検出された冗長フィールドを除去する第2のステップと、冗長フィールドが除去されたフィールド画像列から所定の画像処理が施されるべきフレームを構成するトップフィールドとボトムフィールドとの組合せを判定し、判定結果を出力する第3のステップと、冗長フィールドが除去されたフィールド画像列に所定の信号を挿入して入力デジタル動画像信号と同一の画像レートを有する処理画像信号を生成する第4のステップと、出力された判定結果に従って処理画像信号に対して所定の画像処理を施す第5のステップとを有することにより、上述の課題を解決する。

【0024】ここで、所定の画像処理を施す際に用いられるサイド情報を処理画像信号に付加する第6のステップを有することが好ましい。

【0025】また、入力デジタル動画像信号は、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3：2プルダウン処理により生成された信号である。

【0026】さらに、入力デジタル動画像信号が、原画像の1画面を2フィールド又は3フィールドで読み出

して画像レートを変更する3：2プルダウン処理により生成された信号であるとき、サイド情報は、原画像を処理する際に、トップフィールド及びボトムフィールドのうち、どちらが先に読み出されたかを示す第1のフラグと、原画像の1画面が3フィールド又は2フィールドのどちらの画像レートで読み出されたかを示す第2のフラグと、処理画像信号のうち、どの画像信号が挿入された所定の信号であるか否かを示す第3のフラグを有することにより、上述の課題を解決する。

10 【0027】なお、第6のステップにおいて、所定の画像処理は圧縮符号化処理であり、第3のフラグが付加された処理画像信号に対して圧縮符号化処理は行われない。

【0028】また、第1のステップにおいて、冗長フィールドは入力デジタル動画像信号のフィールド間相関度を計算することにより検出される。

【0029】さらに、処理画像信号に挿入される所定の信号は、画像信号として意味の無い無効信号である。

20 【0030】また、本発明による動画像処理方法は、複数のフィールド画像からなり、所定の画像レートのデジタル動画像信号から冗長フィールドが除去され、前記冗長フィールドが除去されたデジタル動画像信号に前記冗長フィールド分の予め決められた無効信号を挿入し、さらに画像処理を制御するためのサイド情報を付加して生成された処理画像信号から前記冗長フィールドを含むデジタル動画像信号を復元する動画像処理方法であって、処理画像信号からサイド情報を分離する第1のステップと、サイド情報を用いて、処理画像信号から無効信号を除去する第2のステップと、無効信号が除去された画像信号列の一部の画像信号を繰り返すことにより冗長フィールドを生成して所定の画像レートのデジタル動画像信号を復元する第3のステップを有する。

30 【0031】本発明に係る動画像信号処理方法によれば、入力されたデジタル動画像信号より、冗長フィールドを検出し、冗長フィールドを除いた画像列から、圧縮符号化処理されるべきフレームをつくるトップフィールドとボトムフィールドの組合せを判定し、フレーム画像をつくり、このフレーム画像列に所定の信号を挿入して、処理画像信号を作ることにより、冗長画像が一定周期であるいは不規則に含まれる動画像を、画像同期信号に同期のとられた新たな画像列信号とすることができ

る。

【0032】この場合、上記の処理画像列に画像処理のためのサイド情報を付加することにより、画像符号化装置側で、このサイド情報に基づいて正確な処理を行うことができる。

40 【0033】また、上記入力デジタル動画像信号が原画像の1画面、例えば映画フィルムの1コマを2フィールド又は3フィールドで読み出す3：2プルダウン法により読み出された信号であるとき、上記サイド情報とし

て、上記原画像を読み出す際にトップフィールドが最初に読み出されたか、ボトムフィールドが先に読み出されたかを示す第1のフラグ、すなわちtop_field_firstフラグと、上記原画像の1画面が3フィールドで読み出されたか、2フィールドで読み出されたかを示す第2のフラグ、すなわちrepeat_first_fieldフラグと、上記所定の信号としての無効信号であるか否かを示す第3のフラグとを含むことにより、正確な処理が行える。

【0034】この場合、上記の処理画像信号を動画像符号化するとき、上記無効信号に対しては、圧縮符号化処理をしないことができるので、効率の良い画像符号化ができる。

【0035】上記冗長フィールド検出手段は、上記入力デジタル動画像信号が、原画像の1画面、例えば映画フィルムの1コマを2フィールド又は3フィールドで読み出す3:2プルダウン法により読み出された信号である場合には、上記入力デジタル動画像信号の現在のフィールドと2フィールド遅延信号とのフィールド間相関度を計算し、さらに、上記入力デジタル動画像信号の入力されるフィールド数をカウントし、冗長フィールド検出時に零クリアされるフィールドカウンタと、このフィールドカウンタからのカウント値が5以上の奇数であるか否かを判断する比較手段とを有し、この比較手段からの出力と上記フィールド間相関度とに基づいて冗長フィールドを検出することが好ましく、これによって確実な冗長フィールドの検出が行える。

【0036】

【発明の実施の形態】本発明に係る動画像処理方法が適用された動画像処理システムについて、図1を参照しながら説明する。

【0037】この図1には、いわゆる3:2プルダウンによりフレームレートを30Hzとしたフィルムソースのビデオ信号を原入力動画像信号とした場合の動画像符号化装置を含む動画像処理システムの例を示している。

【0038】ここで3:2プルダウンについて簡単に説明する。映画などのフィルムソースをインタレースビデオ信号に変換する場合、3:2プルダウンという手法が広く用いられている。すなわち、フィルムは毎秒24コマであるのに対し、インタレースビデオ信号が30フレーム/秒(60フィールド/秒)である場合、3:2プルダウンにより、フィールド数の変換を行う。

【0039】すなわち、図2に示すように、フィルムの連続した2コマ、例えばコマMF1、MF2の内の最初のコマMF1をビデオの2フィールドで読み出し、次のコマMF2は3フィールドで読み出すという方法を用いる。

【0040】また、逆3:2プルダウンは、30フレーム/秒のインタレースビデオ信号から、3フィールドで読み出されたコマを検出し、冗長な繰り返しフィールドを取り除き、理想的には24フレーム/秒のプログレッ

シブフレームを作り出す操作である。理想的には冗長フィールドは、5フィールド周期で現れる。

【0041】図1に示す動画像処理システムにおいて、画像入力装置であるデジタルVTR201からは、トップフィールド(top_field)が先に入力される30フレーム/秒(60フィールド/秒)のインタレースビデオ信号が、入力動画像信号S100として供給される。

【0042】ここで、入力動画像信号S100が、フィルムソースを3:2プルダウンにより変換した動画像である場合は、3:2プルダウンソース入力フラグS115が立てられ、切換スイッチ209、210、211、212が、オン(on)の側へ接続される。3:2プルダウンで変換されたものでない動画像の場合、これらの切換スイッチは、オフ(off)の側へ接続される。オフ(off)の側へ接続された場合、システム構成は基本的に、従来例と同じとなる。以下の説明では、上述の切換スイッチがオン(on)側へ接続された場合、すなわち冗長画像を含む入力動画像である場合について、説明を進める。

【0043】まず切換スイッチ209がオン(on)側へ接続されたとき、入力動画像信号S100は前処理器202で処理されて、動画像信号S103となる。

【0044】この前処理器202での処理について、図3を参照しながらさらに詳細に説明する。

【0045】端子301から入力された60Hzビデオフィールドの上記入力動画像信号(以下、フィールド画像信号ともいう。)S100は、遅延器302から出力される2フィールド遅れのフィールド画像信号S200との2フィールド間の相関度が計算される。ここでは、その計算として、差分化器303において1画素毎に差分値が計算される。1画素毎に計算される差分値S201はその絶対値S202が絶対値器304で計算され、その1フィールドあたりの累積和が累積器305で計算される。この累積値S203が、適当な値に定められている閾値S204と比較器306で比較され、閾値よりも小となる場合には、フラグS205が立てられる。なお、この方法に限らず、フィールド画像信号S100とフィールド画像信号S200の2フィールド間の相関度が計算できる手段であれば、適用可能である。

【0046】一方、フィールド画像信号S100の同期入力S105が、端子308からフィールドカウンタ309へ入力されている。すなわち、フィールドカウンタ309は、前処理器202へ入力されるフィールド数を数え上げる。そしてS206で示されるカウント値jが5以上の奇数であるとき、比較器310がフラグS211を立てる。フラグS211とフラグS205が共に立っているとき、AND演算器311からの出力である冗長フィールド検出フラグS212が立ち上がる、すなわち、現在入力されたフィールド画像信号S100は3:2プルダウンによって重複している冗長フィールドであ

ると判断される。冗長フィールド検出フラグS 2 1 2が立ち上がると、フィールドカウンタ3 0 9は零にクリアされる。冗長フィールドと判定されたフィールドの画像信号は、入力動画像信号の中から取り除かれ、符号化されない。

【0 0 4 7】なお、比較器3 1 0での判定基準を「カウント値jが5以上の奇数」としている理由は、以下に示す理由のために逆3：2プルダウンが常に規則的に動作することが保証されないからである。

【0 0 4 8】すなわち第1に、3：2プルダウン後のビデオ編集などにより、5フィールド周期で冗長フィールドが現れるパターンが保証されなくなる。

【0 0 4 9】また第2に、3：2プルダウン時に、時間軸方向、すなわちフィールド間、フレーム間で平滑化フィルタが適用されるために、絵柄によっては、冗長フィールドが検出されにくくなる。例えば、実際には冗長フィールドであっても、図3の比較器3 0 6でフラグS 2 0 5が立たないことがある。

【0 0 5 0】3：2プルダウンのパターンが保証されない場合でも、比較器3 1 0では、冗長フィールドの判定を連続して続けることが可能となる。

【0 0 5 1】このように実際には、逆3：2プルダウンが規則的に行われるとは限らないため、入力動画像信号S 1 0 0の中から冗長フィールドを取り除いた後の動画のフレームレートは、2 4 H zから3 0 H zの間で変動する。この周期は、同期入力S 1 0 5にロックしないので、本実施例では、前処理として、入力フィールドの順序を並び換え、さらに無効フレームを挿入することにより、同期入力にロックする新しい入力画像列を作り出し、次段の符号化器2 0 3へ入力する。

【0 0 5 2】次にそのフィールド並び換え及び無効フレームの挿入する方法について、図3を用いて説明する。ここでは、冗長フィールド検出フラグS 2 1 2に基づいて、出力フィールドコントローラ3 1 2が、遅延器3 0 2から出力される2フィールド（1フレーム）遅れのフィールド画像信号S 2 0 0、4フィールド遅れのフィールド画像信号S 2 0 8、及び無効フィールド画像信号S 2 0 9の3つの信号を、切換スイッチ3 1 6で切り換えている。

【0 0 5 3】冗長フィールドが検出された位置情報に基づいて、入力画像の表示パターンをtop_field_first、repeat_first_fieldの2つのフラグにより、図2に示すように4通りに分類する。ここで、top_field_firstフラグは、フィルムのある1コマを3：2プルダウンしたときに、トップフィールド（top_field）が最初に読み出されたかどうかを表す。repeat_first_fieldフラグは、フィルムの1コマが3フィールドで読み出されたかどうかを表す。top_field_firstフラグ、repeat_first_fieldフラグは、出力フィールドコントローラ3 1 2で発生され、そのときの少なくとも過去2表示パターン

の情報は内部に記憶されている。

【0 0 5 4】出力フィールドコントローラ3 1 2で行われるtop_field_firstフラグ、repeat_first_fieldフラグを求めるアルゴリズムのフローチャートを図4に示す。ここでf pは、入力フィールド画像信号S 1 0 0の入力後からの通しの番号を表し、f pに対する加算は、フィールド画像信号S 1 0 0の時間が未来へ進んでいくことを表す。例えば、f p=f p+2は、フィールド画像信号S 1 0 0の時間が2フィールド未来へ進んだこと、すなわちフィールド画像信号S 1 0 0の入力が2フィールド進むことを表す。

【0 0 5 5】図4のフローチャートの各工程（ステップ）を説明する。動作開始（ステップ1 0 0 0）した後、最初のフィールドが入力され（ステップ1 0 0 1）、そのフィールドのパリティがトップフィールド（top_field）かボトムフィールド（bottom_field）か調べられ（ステップ1 0 0 2）、それぞれの処理へ分岐する（ステップ1 0 0 4又は1 0 1 0）。

【0 0 5 6】ステップ1 0 0 2でYesと判別された場合、すなわち最初のフィールドがトップフィールド（top_field）である場合、2フィールド未来のフィールドへ進み（ステップ1 0 0 4）、冗長フィールドであるかどうか調べられる（ステップ1 0 0 5）。すなわちこれは、図3の冗長フィールド検出フラグS 2 1 2が立つかどうかの判定である。冗長フィールドである場合は、現在のフィールドを含めて、それ以前3フィールドの表示パターンは、上記各フラグのtop_field_first=1、repeat_first_field=1である。

【0 0 5 7】冗長フィールドの位置detected_fp=fpである（ステップ1 0 0 6）。そして、フィールド画像信号S 1 0 0の時間が1フィールド進められる（ステップ1 0 0 7）。次の処理としては、ボトムフィールド（bottom_field）の場合の工程（ステップ1 0 1 0）へ移る。一方、上記ステップ1 0 0 5で冗長フィールドでないと判別された場合は、現在のフィールドを含めないで、その前2フィールドの表示パターンは、各フラグtop_field_first=1、repeat_first_field=0である（ステップ1 0 0 8）。次の処理は、上記トップフィールド（top_field）の場合の工程（ステップ1 0 0 4）へ移る。

【0 0 5 8】先の分岐（ステップ1 0 0 2）でNoと判別された場合、すなわち最初のフィールドがボトムフィールド（bottom_field）の場合、2フィールド未来のフィールドへ進み（ステップ1 0 1 0）、冗長フィールドであるかどうか調べられる（ステップ1 0 1 1）。すなわちこれは、図3の冗長フィールド検出フラグS 2 1 2が立つかどうかの判定である。

【0 0 5 9】冗長フィールドである場合は、現在のフィールドを含めて、それ以前3フィールドの表示パターンは、各フラグtop_field_first=0、repeat_first_fiel

d=1であり、冗長フィールドの位置detected_fp=fpである(ステップ1012)。そして、フィールド画像信号S100の時間が1フィールド進められる(ステップ1013)。次の処理は、上記トップフィールド(top_field)の場合のステップ1004へ移る。一方、冗長フィールドでない場合は、現在のフィールドを含めないで、その前2フィールドの表示パターンは、各フラグtop_field_first=0、repeat_first_field=0である(ステップ1014)。次の処理は、上記ボトムフィールド(bottom_field)の場合のステップ1010へ移る。

【0060】以上のようにして、出力フィールドコントローラ312では、各フラグtop_field_first、repeat_first_fieldがセットされる。

【0061】次に、出力フィールドコントローラ312の動作の具体例について、図5を参照しながら説明する。

【0062】図中、“A”、“B”などの大文字は、トップフィールド(top_field)を表し、“a”、“b”などの小文字は、ボトムフィールド(bottom_field)を*20

fp=1~2 : top_field_first=1、repeat_first_field=0

fp=3~5 : top_field_first=1、repeat_first_field=1

fp=6~7 : top_field_first=0、repeat_first_field=0

fp=8~10 : top_field_first=0、repeat_first_field=1

次に、出力S210について説明する。

【0065】切換スイッチ316の出力S210は、入力フィールド画像信号S100に対して、4フィールド(2フレーム)遅れで始まる。この出力S210は、出力フィールドコントローラ312にセットされている各フラグtop_field_first、repeat_first_fieldに基づいて、出力フィールドコントローラ312が切換制御信号S207を切換スイッチ316に送ることにより、以下の(1)から(4)のようにして制御される。

【0066】(1) top_field_first=1、repeat_first_field=0の場合

4フィールド遅れのフィールド画像信号S208が、順に2フィールド出力される。図5の例では、S208の1番目のフレーム|A a|。

【0067】(2) top_field_first=1、repeat_first_field=1の場合

4フィールド遅れのフィールド画像信号S208が、順に2フィールド出力される。図5の例では、S208の2番目のフレーム|B b|。3番目の入力フレームのトップフィールド(top_field)“B”は、冗長フィールドであるので除去される、すなわち出力されない。

【0068】(3) top_field_first=0、repeat_first_field=0の場合

2フィールド遅れのフィールド画像信号S200が出力され、次に4フィールド遅れのフィールド画像信号S208が出力される。図5の例では、冗長フィールドであ

* 表す。また、“|”の間隔は入力フレーム周期である。上記冗長フィールドは、“*”の位置で検出されたとする。

【0063】この図5の具体例において、S100の最初のフィールド“A”が入力され(fp=1)、これはトップフィールド(top_field)であることがわかる(ステップ1000~1004)。2フィールド未来(fp=3)のフィールド“B”は、冗長フィールドと判定されない(ステップ1004~1008)。その次の2フィールド未来(fp=5)のフィールド“B”は、冗長フィールドと判定され、(ステップ1005~1006)、時間が1フィールド進む(fp=6)(ステップ1007)。その次の2フィールド未来(fp=8)のフィールド“d”は、冗長フィールドと判定されない(ステップ1010~1014)。その次の2フィールド未来(fp=10)のフィールド“d”は、冗長フィールドと判定される(ステップ1010~1012)。以上の処理で、表示パターンは、次のようにセットされる。

【0064】

るので除去されたS208の3番目のフレームのトップフィールド(top_field)“B”の位置に、フィールド画像信号S200が出力される(S208の4番目のフレームのトップフィールド(top_field)“C”が前詰めされて出力される)。次に、S208の3番目の入力フレームのボトムフィールド(bottom_field)“c”が出力される。S100では、ボトムフィールド(bottom_field)“c”の方が、トップフィールド(top_field)“C”よりも時間的に前にあり、しかもこの2フィールドはフレームを作っていないが、出力S210ではトップフィールド(top_field)が前に来て、出力フレーム|C c|を作るようになる。

【0069】(4) top_field_first=0、repeat_first_field=1の場合

2枚の無効フィールド(1枚の無効フレーム)が出力される。次に、4フィールド遅れのフィールド画像信号S208が、順に2フィールド出力される。図5の例では、ボトムフィールド(bottom_field)で冗長フィールドが検出された場合、例えばS100の5番目のフレームのボトムフィールド(bottom_field)“d”の場合、出力S210としては、2枚の無効フィールドが出力される。これを図5では、|x|で図示している。その次に、S208から|D d|が出力される。

【0070】以上の(1)から(4)のようにして、出力フィールドコントローラ312は切換スイッチ316を切り換え、出力S210の制御を行う。図5の「フィ

ールド遅延量」の欄に、出力S210のそれぞれのフィールドのフィールド画像信号S100に比較しての遅延量を示す。値4、値2、xの場合は、それぞれS208からの出力、S200からの出力、無効フィールドの出力であることを表す。

【0071】出力S210の連続する2フィールドを出力フレームとし、それぞれのフレームに対し、フレームヘッダ多重化器313にて、フレームヘッダ情報を付加し、端子314から動画画像信号S103として出力される。ヘッダの内容は、top_field_firstフラグ、repeat_10 first_fieldフラグ、無効フレームフラグ（図中ではdisabled_frame_flagと示す）を含む。それぞれのフレームに付加されるヘッダ情報の具体例を、図5の「top_field_firstフラグ、repeat_first_fieldフラグ」の欄に示す。

【0072】出力S210および動画画像信号S103のそれぞれの出力フレームは、トップフィールド（top_field）が先に出力され、そのフレーム周期は、同期入力信号S105のフレーム周期とロックしている。

【0073】なお、上記の説明では、フレーム同期信号に同期する様に無効フレームを挿入するようにしているが、フィールド同期信号に同期するように無効フィールドを挿入しても良い。この場合は、フィールドレートが60Hzになっていれば2枚の無効フィールドの挿入位置はどこでも良く、2枚のフィールドが連続して挿入されなくても良い。

【0074】ところで、図1の切換スイッチ209、210がオフのときは、フィールド画像信号S100は、3:2プルダウンされていない普通のトップフィールド（top_field）が先に入力されるインタレースビデオ信号である。

【0075】この場合、フレームヘッダはデフォルトの内容となり、常に、top_field_first=1、repeat_first_field=0、disabled_frame_flag=0である。

【0076】図1の切換スイッチ209、210のオン/オフに関係なく、フィールド画像信号S100および動画画像信号S103は、同期入力S105をマスタ・クロックとして動作する符号化器203への入力S104として問題がない。

【0077】入力S104は、動画画像符号化システムのコア部分である符号化器203、局所復号器205で種々の処理がされる。ここで、入力S104のそれぞれのフレームヘッダで無効フレームと指示されているフレーム対しては、有効な画像処理はされない。ここでの処理についての具体例は、後述する。

【0078】次に局所復号器205からの出力である局所復号出力S109を画像出力装置207へ出力する方法を説明する。局所復号出力S109が入力される後処理器206について、図6を参照しながら説明する。

【0079】図6において、端子400から入力された

局所復号出力S109は、フレームヘッダ分離器401でそれぞれのフレームのヘッダ内容S303が読み出され、このヘッダ内容S303は出力フィールドコントローラ403へ入力される。出力フィールドコントローラ403には、ヘッダ内容S303の少なくとも過去の1表示パターン情報は記憶される。ヘッダ内容S303は、各フラグtop_field_first、repeat_first_field、disabled_frame_flagを含む。

【0080】ところで、図1の切換スイッチ211、212がオフのときは、S111は、3:2プルダウンされていない普通のトップフィールド（top_field）が先に入力されるインタレースビデオ信号である。

【0081】この場合、フレームヘッダはデフォルトの内容となり、常に、top_field_first=1、repeat_first_field=0、disabled_frame_flag=0である。

【0082】図6の出力フィールドコントローラ403は、上記フレームヘッダ内容に基づいて、現在の入力フィールド画像信号S300、遅延器402から出力される2フィールド（1フレーム）遅れのフィールド画像信号S301、及び4フィールド（2フレーム）遅れのフィールド画像信号S302の3つの信号を、切換スイッチ404で切り換えている。

【0083】次に、上記後処理器206の動作、特に図6の出力フィールドコントローラ403の動作の具体例について、図7を参照しながら説明する。

【0084】この図7中の各符号は上記図5の場合と同様であり、“A”、“B”などの大文字は、トップフィールド（top_field）を表し、“a”、“b”などの小文字は、ボトムフィールド（bottom field）を表す。また、“|”の間隔は入力フレーム周期である。

【0085】画像出力S110は、入力フィールド画像信号S300に対して、2フィールド（1フレーム）遅れで始まる。出力は、出力フィールドコントローラ403にセットされているtop_field_first、repeat_first_field、disabled_frame_flagに基づいて、以下の（1）から（5）のようにして制御される。

【0086】（1）top_field_first=1、repeat_first_field=0、disabled_frame_flag=0の場合

1フレーム遅れのフィールド画像信号S301が、順に2フィールド出力される。図7の例では、S301の1番目のフレーム|A a|。

【0087】（2）top_field_first=1、repeat_first_field=1、disabled_frame_flag=0の場合

1フレーム遅れのフィールド画像信号S301が、順に2フィールド出力される。次に、2フレーム遅れのフィールド画像信号S302が1フィールド出力される。図7の例では、S301の2番目のフレーム|B b|が出力され、次いでS302の2番目のフレームのトップフィールド（top_field）“B”が出力される。

【0088】（3）top_field_first=0、repeat_first_

field=0、disabled_frame_flag=0の場合

1フレーム遅れのフィールド画像信号 S 3 0 1 が 1 フィールド出力され、次いで 2 フレーム遅れのフィールド画像信号 S 3 0 2 が出力される。図 7 の例では、S 3 0 1 の 3 番目のフレームのボトムフィールド (bottom_field) “c” が出力され、次いで S 3 0 2 の 3 番目のフレームのトップフィールド (top_field) “C” が出力される。

【0089】(4) disabled_frame_flag=1の場合何も出力されない。

【0090】(5) top_field_first=0、repeat_first_field=1、disabled_frame_flag=0の場合現在の入力フィールド画像信号 S 3 0 0 が 1 フィールド出力され、次いで 1 フレーム遅れのフィールド画像信号 S 3 0 1 が、順に 2 フィールド出力される。

【0091】以上の(1)から(5)のようにして、出力フィールドコントローラ 4 0 3 は切換スイッチ 4 0 4 を切り換え、画像出力 S 1 1 0 の制御をする。図 7 の「フィールド遅延量」の欄に、画像出力 S 1 1 0 のそれぞれのフィールドの局所復号出力 S 1 0 9 に比較しての遅延量を示す。値 4、値 2、値 0 の場合は、それぞれ S 3 0 2 からの出力、S 3 0 1 からの出力、S 3 0 0 からの出力であることを表す。

【0092】次に、再び図 1 に戻って、局所復号器 2 0 5 から切換スイッチ 2 1 1 を介し、必要に応じて後処理器 2 0 6 で処理され、切換スイッチ 2 1 2 を介して得られた出力 S 1 1 2 は、画像表示装置であるモニタ 2 0 7 で表示することができる。

【0093】以上のようにして、図 1 に示す本発明の動画画像処理システムの動画画像の入出力部は動作する。

【0094】なお、以上の説明では、符号化器へ入力される画像信号へ挿入する無効信号として無効フレームを挿入し、フレームヘッダ情報に無効フレームフラグを付加する場合を説明したが、これに限らず、無効信号の単位としては、フィールドやマクロブロックや画素としてもよく、この場合、それぞれの単位に無効信号を示すフラグをサイド情報として付加することになる。

【0095】また、その場合、以上の説明では、入力画像の同期入力の周期として、1 フレーム時間である場合を説明したが、これに限らず、1 フィールド時間や 1 画素時間としても適用可能となる。

【0096】なお、以上の説明では、画像入力装置 2 0 1 及び符号化器 2 0 3 が、トップフィールドが先に入力されるインタレースビデオ信号に対応している装置である場合を説明したが、逆に画像入力装置 2 0 1 及び符号化器 2 0 3 が、ボトムフィールドが先に入力されるインタレースビデオ信号に対応している装置である場合も同様に説明できる。その場合は、以上の説明で出てきたトップフィールド (top_field: 奇数フィールド) とボトムフィールド (bottom_field: 偶数フィールド) の順序を

入れ換えれば良い。

【0097】例えば、出力 S 2 1 0、フィールド画像信号 S 3 0 0 は、bottom_field_first フラグが先に入力されるインタレースビデオ信号となる。

【0098】次に、図 1 の動画画像符号化システムのコア部分である動画画像符号化装置を構成する符号化器 2 0 3、局所復号器 2 0 5 での処理について、説明する。

【0099】動画画像符号化装置は、いわゆる M P E G 2 (ISO/IEC 13818-2) など広く知られている動き補償予測符号化と D C T を組み合わせたハイブリッド符号化方法を用いている。M P E G 2 では、各フレームの画像を、I ピクチャ、P ピクチャ又は B ピクチャの 3 種類のピクチャのいずれかのピクチャとし、画像信号を圧縮符号化するようにしている。

【0100】すなわち、例えば図 8 に示すように、フレーム F 1 乃至 F 1 7 までの 1 7 フレームの画像信号をグループ・オブ・ピクチャとし、処理の 1 単位とする。例えば、その先頭のフレーム F 1 の画像信号は I ピクチャとして符号化し、第 2 番目のフレーム F 2 は B ピクチャとして、また第 3 番目のフレーム F 3 は P ピクチャとして、それぞれ処理する。以下、第 4 番目以降のフレーム F 4 乃至 F 1 7 は、B ピクチャ又は P ピクチャとして交互に処理する。

【0101】I ピクチャの画像信号としては、その 1 フレーム分の画像信号をそのまま伝送する。これに対して、P ピクチャの画像信号としては、基本的には、図 8 (A) に示すように、それより時間的に過去にある I ピクチャ又は P ピクチャの画像信号からの差分を伝送する。さらに B ピクチャの画像信号としては、基本的には、図 8 (B) に示すように、時間的に過去にあるフレーム及び未来にあるフレームの両方の平均値からの差分を求め、その差分を伝送する。

【0102】図 9 は、このようにして、動画画像信号を符号化する方法の原理を示している。同図に示すように、最初のフレーム F 1 は I ピクチャとして処理されるため、そのまま伝送データ F 1 X として伝送路に送出される (画像内符号化)。これに対して、第 2 のフレーム F 2 は、B ピクチャとして処理されるため、時間的に過去にあるフレーム F 1 と、時間的に未来にあるフレーム F 3 の平均値との差分が演算され、その差分が伝送データ F 2 X として伝送される。

【0103】ただし、この B ピクチャとしての処理は、さらに細かく説明すると、4 種類存在する。その第 1 の処理は、元のフレーム F 2 のデータをそのまま伝送データ F 2 X として伝送するものであり (S P 1) (イントラ符号化)、I ピクチャにおける場合と同様の処理となる。第 2 の処理は、時間的に未来のフレーム F 3 からの差分を演算し、その差分 (S P 2) を伝送するものである (後方予測符号化)。第 3 の処理は、時間的に過去のフレーム F 1 との差分 (S P 3) を伝送するものである

(前方予測符号化)。さらに第4の処理は、時間的に過去のフレームF1と未来のフレームF3の平均値との差分(S P 4)を生成し、これを伝送データF 2 Xとして伝送するものである(両方向予測符号化)。

【0104】この4つの方法のうち、伝送データが最も少なくなる方法が採用される。

【0105】なお、差分データを伝送するとき、差分を演算する対象となるフレームの画像(予測画像)との間の動きベクトルx1(フレームF1とフレームF2の間の動きベクトル)(前方予測の場合)、若しくは動きベクトルx2(フレームF3とフレームF2の間の動きベクトル)(後方予測の場合)、又は動きベクトルx1とx2の両方(両方向予測の場合)が、差分データと共に伝送される。

【0106】また、PピクチャのフレームF3は、時間的に過去にあるフレームF1を予測画像として、このフレームとの差分(S P 3)と、動きベクトルx3が演算され、これが伝送データF 3 Xとして伝送される(前方予測符号化)。あるいはまた、元のフレームF3のデータがそのまま伝送データF 3 Xとして伝送される(S P 1)(イントラ符号化)。いずれの方法により伝送されるかは、Bピクチャにおける場合と同様に、伝送データがより少なくなる方が選択される。

【0107】次に図10を参照して、動画画像符号化装置の構成例について説明する。なお、図示されていないが、本符号化装置は図1で示した画像同期入力S105にロックして動作している。

【0108】端子74からは、フレームヘッダ付きの入力フレームS104が、入力されており、また、端子75からは、画像入力装置から入力される入力動画画像が3:2プルダウンされたフィルムソースであるかどうかを示す3:2プルダウンソース入力フラグS115が入力される。

【0109】入力画像S104は、画像符号化タイプ指定・画像符号化順序並び替え器70へ入力される。ここでは、まずシーケンシャルに入力される各フレームの画像を、I、P、Bのいずれのピクチャとして処理するかを指定する。例えば、図8に示したように、フレームF1乃至F17により構成されるグループ・オブ・ピクチャが、I、B、P、B、P、・・・B、Pとして処理される。指定された画像符号化タイプは、各フレームのヘッダに書き込まれる。

【0110】次に、指定された画像符号化タイプに従って、符号化される順番に入力画像を並び換える。これは、Bピクチャは、後方予測を伴うため、後方予測画像としてのIピクチャ又はPピクチャが先に用意されていないと、復号することができないからである。そのため、Bピクチャを符号化する前に、それより未来にあるIピクチャ又はPピクチャを先に符号化しなければならない。したがって、例えば、図8に示したように、画像

符号化タイプを指定した場合は、画像の順番をフレームF1、F3、F2、F5、F4・・・と並び換える。

【0111】入力画像列S104の中に、無効フレーム(フレームヘッダdisabled_frame_flagにより指示される)が含まれる場合における画像符号化タイプ指定・画像符号化順序並び替え器70での入力画像列S104の取扱いについて説明する。

【0112】このとき図11に示すように、フレームF1～F13からなる入力画像列S104が入力されるとする。ここで、“X”は、無効フレームを表す。このとき、無効フレームは無視して、S501のように順次、画像符号化タイプを指定する。S501の数字は、画像符号化タイプの指定の順序を表す。次に、画像符号化タイプに従って、符号化される順番に画像を並び換える。このとき、無効フレーム“X”は、Bピクチャと見なされる。したがって、S501は、S502に示すように、並び換えられる。この例では、S502はS104に対して、2フレーム遅延で開始する。

【0113】並び換えられた画像信号S502は、スキャンコンバータ71に入力される。ここでは、ラスタスキャンで入力される画像信号を、ブロックフォーマットの信号に変換する。すなわち、図12に示すように、ラスタスキャンで入力される画像信号は、1ライン当たりHドットのラインがVライン集められたフレームフォーマットのデータとされている。スキャンコンバータ71は、この1フレームの信号を、16ラインを単位としてM個のスライスに区分する。そして、各スライスは、M個のマクロブロックに分割される。各マクロブロックは、16×16個の画素(ドット)に対応する輝度信号により構成され、この輝度信号は、さらに8×8ドットを単位とするブロックY[1]乃至Y[4]に区分される。そして、この16×16ドットの輝度信号には、8×8ドットのCb信号と、8×8ドットのCr信号が対応される。

【0114】また一方で、現在符号化されるフレームの画像信号S502の動き予測を行うため、その参照画像信号S504が動きベクトル検出回路50へ入力される。動きベクトル検出回路50は、画像符号化タイプ指定器70からの指示に従って、各フレームの画像信号(データ)を、Iピクチャ、Pピクチャ、又はBピクチャとして処理する。Iピクチャとして処理されるフレーム(例えばフレームF1)の画像データは、動きベクトル検出回路50からフレームメモリ51の前方原画像部51aに転送、記憶され、Bピクチャとして処理されるフレーム(例えばフレームF2)の画像データは、参照原画像部51bに転送、記憶され、Pピクチャとして処理されるフレーム(例えばフレームF3)の画像データは、後方原画像部51cに転送、記憶される。

【0115】また、次のタイミングにおいて、さらにBピクチャ(フレームF4)又はPピクチャ(フレームF

10

20

30

40

50

5) として処理すべきフレームの画像データが入力されたとき、それまで後方原画像部51cに記憶されていた最初のPピクチャ(フレームF3)の画像データが、前方原画像部51aに転送され、次のBピクチャ(フレームF4)の画像データが、参照原画像部51bに記憶(上書き)され、次のPピクチャ(フレームF5)の画像データが、後方原画像部51cに記憶(上書き)される。このような動作が順次繰り返される。

【0116】なお、画像信号S502のフレームが無効フレームである場合、動きベクトル検出回路50は、何も処理をしないで、1フレーム時間待機する。

【0117】スキャンコンバータ71から読み出されたマクロブロックは、予測モード切り替え回路52において、フレーム予測モード処理、又はフィールド予測モード処理が行われる。さらにまた予測判定回路54の制御の下に、演算部53において、画像内予測、前方予測、後方予測、又は両方向予測の演算が行われる。これらの処理のうち、いずれの処理を行うかは、予測誤差信号(処理の対象とされている参照画像と、これに対する予測画像との差分)に対応して決定される。このため、動きベクトル検出回路50は、この判定に用いられる予測誤差信号の絶対値和(自乗和でもよい)を生成する。

【0118】ここで、予測モード切り替え回路52におけるフレーム予測モードとフィールド予測モードについて説明する。

【0119】フレーム予測モードが設定された場合においては、予測モード切り替え回路52は、スキャンコンバータ71より供給される4個の輝度ブロックY[1]乃至Y[4]を、そのまま後段の演算部53に出力する。すなわち、この場合においては、図13(A)に示すように、各輝度ブロックにトップフィールドのラインのデータと、ボトムフィールドのラインのデータとが混在した状態となっている。このフレーム予測モードにおいては、4個の輝度ブロック(マクロブロック)を単位として予測が行われ、4個の輝度ブロックに対して1個の動きベクトルが対応される。

【0120】これに対して、予測モード切り替え回路52は、フィールド予測モードにおいては、図13(A)に示す構成でスキャンコンバータ71より入力される信号を、図13(B)に示すように、4個の輝度ブロックのうち、輝度ブロックY[1]とY[2]を、トップフィールドのラインのドットによりのみ構成させ、他の2個の輝度ブロックY[3]とY[4]を、ボトムフィールドのラインのデータにより構成させて、演算部53に出力する。この場合においては、2個の輝度ブロックY[1]とY[2]に対して、1個の動きベクトルが対応され、他の2個の輝度ブロックY[3]とY[4]に対して、他の1個の動きベクトルが対応される。

【0121】色差信号は、フレーム予測モードの場合、図13(A)に示すように、トップフィールドのライン

のデータとボトムフィールドのラインのデータとが混在する状態で、演算部53に供給される。また、フィールド予測モードの場合、図13(B)に示すように、各色差ブロックCb、Crの上半分(4ライン)が、輝度ブロックY[1]、Y[2]に対応するトップフィールドの色差信号とされ、下半分(4ライン)が、輝度ブロックY[3]、Y[4]に対応するボトムフィールドの色差信号とされる。

【0122】動きベクトル検出回路50は、フレーム予測モードにおける予測誤差の絶対値和と、フィールド予測モードにおける予測誤差の絶対値和とを予測モード切り替え回路52に出力する。予測モード切り替え回路52は、フレーム予測モードとフィールド予測モードにおける予測誤差の絶対値和を比較し、その値が小さい予測モードに対応する処理を施して、データを演算部53に出力する。

【0123】なお、3:2プルダウンソース入力フラグS115が立っている場合、入力フレームS104はプログレッシブ構造となるので、予測モードは、フレーム予測モードに固定される。

【0124】動きベクトル検出回路50は、次のようにして、予測判定回路54において、画像内予測、前方予測、後方予測、又は両方向予測のいずれの予測を行うかを決定するための予測誤差の絶対値和を生成する。

【0125】すなわち、画像内予測の予測誤差の絶対値和として、参照画像のマクロブロックの信号Aijと、マクロブロックの信号Aijの平均値Aavとの差の絶対値の和 $\sum |Aij - Aav|$ を求める。また、前方予測の予測誤差の絶対値和として、入力マクロブロックの信号Aijと、予測画像のマクロブロックの信号Bijの差の絶対値の和 $\sum |Aij - Bij|$ を求める。また、後方予測と両方向予測の予測誤差の絶対値和も、前方予測における場合と同様に(その予測画像を前方予測における場合と異なる予測画像に変更して)求める。

【0126】これらの絶対値和は、予測判定回路54に供給される。予測判定回路54は、前方予測、後方予測及び両方向予測の予測誤差の絶対値和のうち、最も小さいものをインター予測の予測誤差の絶対値和として選択する。さらに、このインター予測の予測誤差の絶対値和と、画像内予測の予測誤差の絶対値和とを比較し、その小さい方を選択し、この選択した絶対値和に対応するモードを予測モードとして選択する。すなわち、画像内予測の予測誤差の絶対値和の方が小さければ、画像内予測モードが設定される。インター予測の予測誤差の絶対値和の方が小さければ、前方予測、後方予測又は両方向予測モードのうち、対応する絶対値和が最も小さかったモードが設定される。

【0127】このように、動きベクトル検出回路50は、4つの予測モードのうち、予測判定回路54により選択された予測モードに対応する予測画像と参照画像の

間の動きベクトルを検出し、可変長符号化回路58と動き補償回路64に出力する。上述したように、この動きベクトルとしては、対応する予測誤差の絶対値和が最小となるものが選択される。

【0128】Iピクチャとして処理すべきフレームの画像が入力されたとき、予測モードとして、フレーム内予測モード（動き補償予測符号化を行わないモード）を設定し、演算部53の切換スイッチ53dを接点a側に切り換える。これにより、Iピクチャの画像データがDCTモード切り替え回路55に入力される。

【0129】このDCTモード切り替え回路55は、図14(A)又は(B)に示すように、4個の輝度ブロックのデータを、トップフィールドのラインとボトムフィールドのラインが混在する状態（フレームDCTモード）、又は、分離された状態（フィールドDCTモード）、のいずれかの状態にして、DCT回路56に出力する。

【0130】すなわち、DCTモード切り替え回路55は、トップフィールドとボトムフィールドのデータを混在してDCT処理した場合における符号化効率と、分離した状態においてDCT処理した場合の符号化効率とを比較し、符号化効率の良好なモードを選択する。

【0131】例えば、入力された信号を、図14(A)に示すように、トップフィールドとボトムフィールドのラインが混在する構成とし、上下に隣接するトップフィールドのラインの信号とボトムフィールドのラインの信号の差を演算し、さらにその絶対値の和（又は自乗和）を求める。また、入力された信号を、図14(B)に示すように、トップフィールドとボトムフィールドのラインが分離した構成とし、上下に隣接するトップフィールドのライン同士の信号の差と、ボトムフィールドのライン同士の信号の差を演算し、それぞれの絶対値の和（又は自乗和）を求める。さらに、両者（絶対値和）を比較し、小さい値に対応するDCTモードを設定する。すなわち、前者の方が小さければ、フレームDCTモードを設定し、後者の方が小さければ、フィールドDCTモードを設定する。

【0132】そして、選択したDCTモードに対応する構成のデータをDCT回路56に出力すると共に、選択したDCTモードを示すDCTフラグを、可変長符号化回路58と動き補償回路64に出力する。

【0133】なお、3:2プルダウンソース入力フラグS115が立っている場合、入力フレームS104は、プログレッシブ構造となるのでDCTモードは、フレームDCTモードに固定される。

【0134】予測モード切り替え回路52における予測モード（図13）と、このDCTモード切り替え回路55におけるDCTモード（図14）を比較して明らかに、輝度ブロックに関しては、両者の各モードにおけるデータ構造は実質的に同一である。

【0135】DCTモード切り替え回路55より出力されたIピクチャの画像データは、DCT回路56に入力され、DCT（離散コサイン変換）処理され、DCT係数に変換される。このDCT係数は、量子化回路57に入力され、送信バッファ59のデータ蓄積量（バッファ蓄積量）に対応した量子化ステップで量子化された後、可変長符号化回路58に入力される。

【0136】可変長符号化回路58は、フレームヘッダの情報から画像符号化タイプ、top_field_first、repeat_first_fieldを伝送する。また、可変長符号化回路58は、量子化回路57より供給される量子化ステップ（スケール）に対応して、量子化回路57より供給される画像データ（いまの場合、Iピクチャのデータ）を、例えばハフマン符号などの可変長符号に変換し、送信バッファ59に出力する。

【0137】また、可変長符号化回路58には、量子化回路57より量子化ステップ（スケール）、予測判定回路54より予測モード（画像内予測、前方予測、後方予測、又は両方向予測のいずれが設定されたかを示すモード）、動きベクトル検出回路50より動きベクトル、予測モード切り替え回路52より予測フラグ（フレーム予測モード又はフィールド予測モードのいずれが設定されたかを示すフラグ）、及びDCTモード切り替え回路55が出力するDCTフラグ（フレームDCTモード又はフィールドDCTモードのいずれが設定されたかを示すフラグ）が入力されており、これらも可変長符号化される。

【0138】ただし、3:2プルダウンソース入力フラグS115が立っている場合、予測フラグ、DCTフラグは両方ともフレームモードの固定値であるので、可変長符号化回路58から出力されない。そのかわり、3:2プルダウンソース入力フラグS115が立っているという情報（入力フレームがプログレッシブ構造であるという情報）を伝送する。

【0139】送信バッファ59は、入力されたデータを一時蓄積し、蓄積量に対応する量子化信号を量子化回路57に出力する。

【0140】送信バッファ59は、そのデータ残量が許容上限値まで増量すると、量子化制御信号によって量子化回路57の量子化スケールを大きくすることにより、量子化データのデータ量を低下させる。また、これとは逆に、データ残量が許容下限値まで減少すると、送信バッファ59は、量子化制御信号によって量子化回路57の量子化スケールを小さくすることにより、量子化データのデータ量を増大させる。このようにして、送信バッファ59のオーバーフロー又はアンダーフローが防止される。

【0141】そして、送信バッファ59に蓄積されたデータは、所定のタイミングで読み出され、伝送路に出力される。

【0142】一方、量子化回路57より出力されたIピクチャのデータは、逆量子化回路60に入力され、量子化回路57より供給される量子化ステップに対応して逆量子化される。逆量子化回路60の出力は、IDCT（逆DCT）回路61に入力され、逆DCT処理された後、演算器62を介してフレームメモリ63の前方予測画像部63aに供給され、記憶される。

【0143】次に、スキャンコンバータ71からPピクチャとして処理すべきフレームの画像が入力されたとき、上述した場合と同様に、動きベクトル検出回路50からマクロブロック単位でのフレーム間差分（予測誤差）の絶対値和が、予測モード切り替え回路52と予測判定回路54に供給される。そして、マクロブロックの予測誤差の絶対値和に対応して、フレーム／フィールド予測モード、又は画像内予測モード、前方予測モードを設定する。

【0144】演算部53はフレーム内予測モードが設定されたとき、切換スイッチ53dを上述したように接点a側に切り換える。したがって、このデータは、Iピクチャのデータと同様に、DCTモード切り替え回路55、DCT回路56、量子化回路57、可変長符号化回路58、送信バッファ59を介して伝送路に伝送される。また、このデータは、逆量子化回路60、IDCT回路61、演算器62を介してフレームメモリ63の後方予測画像部63bに供給され、記憶される。

【0145】前方予測モードのとき、切換スイッチ53dが接点bに切り換えられると共に、フレームメモリ63の前方予測画像部63aに記憶されている画像信号（いまの場合Iピクチャの画像）データが読み出され、動き補償回路64により、動きベクトル検出回路50が出力する動きベクトルに対応して動き補償される。

【0146】動き補償回路64より出力された予測画像データは、演算器53aに供給される。演算器53aは、予測モード切り替え回路52より供給された参照画像のマクロブロックのデータから、動き補償回路64より供給されたこのマクロブロックに対応する予測画像データを減算し、その差分（予測誤差）を出力する。この差分データは、DCTモード切り替え回路55、DCT回路56、量子化回路57、可変長符号化回路58、送信バッファ59を介して伝送路に送出される。また、この差分データは、逆量子化回路60、IDCT回路61により局所的に復号され、演算器62に入力される。

【0147】ただし、3：2プルダウンソース入力フラグS115が立っている場合、予測フラグ、DCTフラグは両方ともフレームモードの固定値であるので、可変長符号化回路58から出力されない。そのかわり、3：2プルダウンソース入力フラグS115が立っているという情報（入力フレームがプログレッシブ構造であるという情報）を伝送する。

【0148】この演算器62にはまた、演算器53aに

供給されている予測画像データと同一のデータが供給されている。演算器62は、IDCT回路61が出力する差分データに、動き補償回路64が出力する予測画像データを加算する。これにより、局所復号したPピクチャの画像データが得られる。このPピクチャの画像データは、フレームメモリ63の後方予測画像部63bに供給され、記憶される。

【0149】次に、スキャンコンバータ71からBピクチャとして処理すべきフレームの画像が入力されたとき、上述した場合と同様に、動きベクトル検出回路50からマクロブロック単位でのフレーム間差分（予測誤差）の絶対値和が、予測モード切り替え回路52と予測判定回路54に供給される。そして、マクロブロック単位でのフレーム間差分の絶対値和の大きさに対応して、フレーム／フィールドモードを設定し、また、予測モードをフレーム内予測モード、前方予測モード、後方予測モード、又は両方向予測モードのいずれかに設定する。

【0150】上述したように、フレーム内予測モード、前方予測モードのとき、切換スイッチ53dは、それぞれ接点a、bに切り換えられる。このとき、Pピクチャにおける場合と同様の処理が行われ、データが伝送される。

【0151】これに対して、後方予測モード、両方向予測モードが設定されたとき、切換スイッチ53dは、それぞれ接点c、dにそれぞれ切り換えられる。

【0152】切換スイッチ53dが接点cに切り換えられている後方予測モードのとき、後方予測画像部63bに記憶されている画像（いまの場合、Pピクチャの画像）データが読み出され、動き補償回路64により、動きベクトル検出回路50が出力する動きベクトルに対応して動き補償される。

【0153】動き補償回路64より出力された予測画像データは、演算器53bに供給される。演算器53bは、予測モード切り替え回路52より供給された入力マクロブロックのデータから、動き補償回路64より供給された予測画像データを減算し、その差分を出力する。この差分データは、DCTモード切り替え回路55、DCT回路56、量子化回路57、可変長符号化回路58、送信バッファ59を介して伝送路に送出される。また、この差分データは、逆量子化回路60、IDCT回路61により局所的に復号され、演算器62に入力される。

【0154】この演算器62にはまた、演算器53bに供給されている予測画像データと同一のデータが供給されている。演算器62は、IDCT回路61が出力する差分データに、動き補償回路64が出力する予測画像データを加算する。これにより、局所復号したBピクチャの画像データが得られる。

【0155】切換スイッチ53dが接点dに切り換えられている両方向予測モードのとき、前方予測画像部63

aに記憶されている画像（いまの場合、Iピクチャの画像）データと、後方予測画像部63bに記憶されている画像（いまの場合、Pピクチャの画像）データが読み出され、動き補償回路64により、動きベクトル検出回路50が出力する動きベクトルに対応して動き補償される。

【0156】動き補償回路64より出力された予測画像データは、演算器53cに供給される。演算器53cは、予測モード切り替え回路52より供給された入力マクロブロックのデータから、動き補償回路64より供給された予測画像データの平均値を減算し、その差分を出力する。この差分データは、DCTモード切り替え回路55、DCT回路56、量子化回路57、可変長符号化回路58、送信バッファ59を介して伝送路に送出される。また、この差分データは、逆量子化回路60、IDCT回路61により局所的に復号され、演算器62に入力される。

【0157】この演算器62にはまた、演算器53cに供給されている予測画像データと同一のデータが供給されている。演算器62は、IDCT回路61が出力する差分データに、動き補償回路64が出力する予測画像データを加算する。これにより、局所復号したBピクチャの画像データが得られる。

【0158】3:2プルダウンソース入力フラグS115が立っている場合、予測フラグ、DCTフラグは両方ともフレームモードの固定値であるので、可変長符号化回路58から出力されない。そのかわり、3:2プルダウンソース入力フラグS115が立っているという情報（入力フレームがプログレッシブ構造であるという情報）を伝送する。

【0159】Bピクチャは、他の画像の予測画像とされることがないため、フレームメモリ63には記憶されない。

【0160】なお、フレームメモリ63において、前方予測画像部63aと後方予測画像部63bは、必要に応じてバンク切り換えが行われ、所定の参照画像に対して、一方又は他方に記憶されているものを、前方予測画像あるいは後方予測画像として切り換えて出力することができる。

【0161】以上においては、輝度ブロックを中心として説明をしたが、色差ブロックについても同様に、図13および図14に示すマクロブロックを単位として処理され、伝送される。なお、色差ブロックを処理する場合の動きベクトルは、対応する輝度ブロックの動きベクトルを垂直方向と水平方向に、それぞれ1/2にしたものが用いられる。

【0162】スキャンコンバータ71から無効フレームが入力されたときは、DCT回路56、量子化回路57、逆量子化回路60、逆DCT回路61、動き補償回路64は、何も処理をしないで、演算器62からは無意

味なデータが出力される。このとき、フレームメモリ63へは何も書き込まれない。この間、可変長符号化回路58からは、ビットストリームは何も出力されない。

【0163】上述してきたI、P、Bピクチャの符号化及び無効フレームが入力された場合において、演算器62にて局所復号された画像データは、スキャンコンバータ72へ入力される。ここでは、マクロブロックで入力される画像を、ラスタスキャンの画像へ変換する。ラスタスキャン画像信号S505は、画像表示順序並び替え器73へ入力される。画像表示順序並び替え器73からの出力の具体例を図15に示す。ここでは、画像符号化タイプに基づいて、(1)から(3)のような規則で入力画像の表示順序を並び換える。

【0164】(1)最初に入力されるIピクチャは、画像表示順序並び替え器73の中に記憶される。

【0165】(2)次に入力された画像が、Bピクチャ又は無効フレームである場合は、その画像が即、出力される。又は、次に入力された画像が、Iピクチャ又はPピクチャである場合は、画像表示順序並び替え器73の中に記憶されているIピクチャ又はPピクチャが出力される。そして、現在入力されたIピクチャ又はPピクチャが、新たに画像表示順序並び替え器73の中に記憶される。

【0166】(3)上記(2)へ戻る。

【0167】以上(1)から(3)のようにして、局所復号出力S109は画像表示順序並び替え器73から出力される。

【0168】局所復号出力S109は、先に図1で説明したようにして後処理器206を介して画像出力装置であるモニタ207へ出力される。

【0169】

【発明の効果】本発明に係る動画像処理方法によれば、複数のフィールド画像からなり、所定の画像レートで入力されたデジタル動画像信号に所定の画像処理を施し、伝送する動画像処理方法であって、入力デジタル動画像信号から冗長フィールド画像を検出し、複数のフィールド画像から検出された冗長フィールドを除去し、冗長フィールドが除去されたフィールド画像列から所定の画像処理が施されるべきフレームを構成するトップフィールドとボトムフィールドとの組合せを判定し、判定結果を出力し、冗長フィールドが除去されたフィールド画像列に所定の信号を挿入して入力デジタル画像信号と同一の画像レートを有する処理画像信号を生成し、判定結果に従って処理画像信号に対して所定の画像処理を施すことにより、冗長画像が一定周期であるいは不規則に含まれる動画像を、入力画像同期信号に同期のとれた新たな画像列信号とし、画像処理することができる。

【0170】この場合、前記所定の画像処理を前記処理画像信号に施す際に用いられるサイド情報を前記処理画像信号に付加することにより、画像符号器側でサイド情

10

20

30

40

50

報に基づいて正確な画像処理を行うことができる。

【0171】また、入力デジタル動画画像信号が、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理により生成された信号であるとき、前記サイド情報が、原画像を処理する際に、前記トップフィールド及び前記ボトムフィールドのうち、どちらが先に読み出されたかを示す第1のフラグと、原画像の1画面が3フィールド又は2フィールドのどちらの画像レートで読み出されたかを示す第2のフラグと、処理画像信号のうち、どの画像信号が前記挿入された所定の信号であるか否かを示す第3のフラグを有することにより、正確な画像処理が行える。

【0172】また、挿入される所定の信号は、画像信号として意味の無い無効信号であり、この無効信号に対しては符号化器側での圧縮符号化処理を行わないことがあるので、効率の良い画像処理が行える。

【0173】さらに、入力デジタル動画画像信号が、原画像の1画面を2フィールド又は3フィールドで読み出して画像レートを変更する3:2プルダウン処理により生成された信号であり、入力デジタル動画画像信号の現在のフィールドの画像信号と2フィールド分遅延された画像信号とのフィールド間相関度が計算され、さらに、入力デジタル動画画像信号の入力フィールド数をカウントし、このカウント値が所定値であるかを判定し、この判定の結果とフィールド間相関度とから冗長フィールドが検出されるので、確実な冗長フィールドの検出が行える。

【0174】また、本発明に係る動画画像処理方法によれば、複数のフィールド画像からなる、所定の画像レートのデジタル動画画像信号から冗長フィールドが除去され、冗長フィールドが除去されたデジタル動画画像信号に冗長フィールド分の予め決められた無効信号を挿入し、さらに画像処理を制御するためのサイド情報を付加して生成された処理画像信号から冗長フィールドを含むデジタル動画画像信号を復元する動画画像処理方法であって、処理画像信号からサイド情報を分離し、このサイド情報を用いて、処理画像信号から無効信号を除去し、無効信号が除去された画像信号列の一部の画像信号を繰り返すことにより冗長フィールドを生成して所定の画像レートのデジタル動画画像信号を復元することにより、簡単に表示用のデジタル動画画像信号を得ることができる。

【0175】なお、画像入力装置から供給される画像同期入力をマスタ・クロックとする動画画像処理システムにおいて、画像入力装置から供給される原入力動画画像の中から冗長画像を取り除く、などの前処理のために、次段の画像処理装置Aへ入力されるべき処理画像列Bが、画像入力装置から供給される画像同期入りにロックしない場合に、画像同期入りにロック(lock)する新しい処理画像列Cを作り直してから、画像処理装置Aへ入力するこ

とができるため、常に、画像入力装置から供給される画像同期入力を、画像処理装置のマスタ・クロックとすることができ、また、画像処理システムのコア部分である画像処理装置については、通常の入力画像列が画像同期入りにロックする場合に比べて、特に変更を必要としないので、画像処理装置の複雑さを増すことがない、等の、実用上優れた効果がある。

【図面の簡単な説明】

【図1】本発明に係る動画画像処理方法の一実施例が適用された動画画像処理システムの一例を示すブロック図である。

【図2】映画フィルムソースの1コマを2フィールド又は3フィールドで読み出す3:2プルダウン法を説明するための図である。

【図3】前処理器の具体例を示すブロック回路図である。

【図4】前処理器の動作の一例を説明するためのフローチャートである。

【図5】前処理器の動作の一例を説明するためのタイミングチャートである。

【図6】後処理器の具体例を示すブロック回路図である。

【図7】後処理器の動作の一例を説明するためのタイミングチャートである。

【図8】ピクチャのタイプを説明するための図である。

【図9】動画画像符号化方法の一例の原理を示す図である。

【図10】動画画像符号化のためのエンコーダの一例を示すブロック回路図である。

【図11】画像符号化タイプ指定・画像符号化順序並び換え動作を説明するための図である。

【図12】画像データの構造を示す図である。

【図13】フレーム／フィールド予測モードを説明するための図である。

【図14】フレーム／フィールドDCTモードを説明するための図である。

【図15】画像表示順序並び換え動作を説明するための図である。

【図16】従来の動画画像符号化システムの一例を示すブロック図である。

【図17】フレーム同期を説明するための図である。

【図18】3:2プルダウンされた信号より冗長フィールドを除去する動作を説明するための図である。

【符号の説明】

202 前処理器

203 符号化器

205 局所復号器

206 後処理器

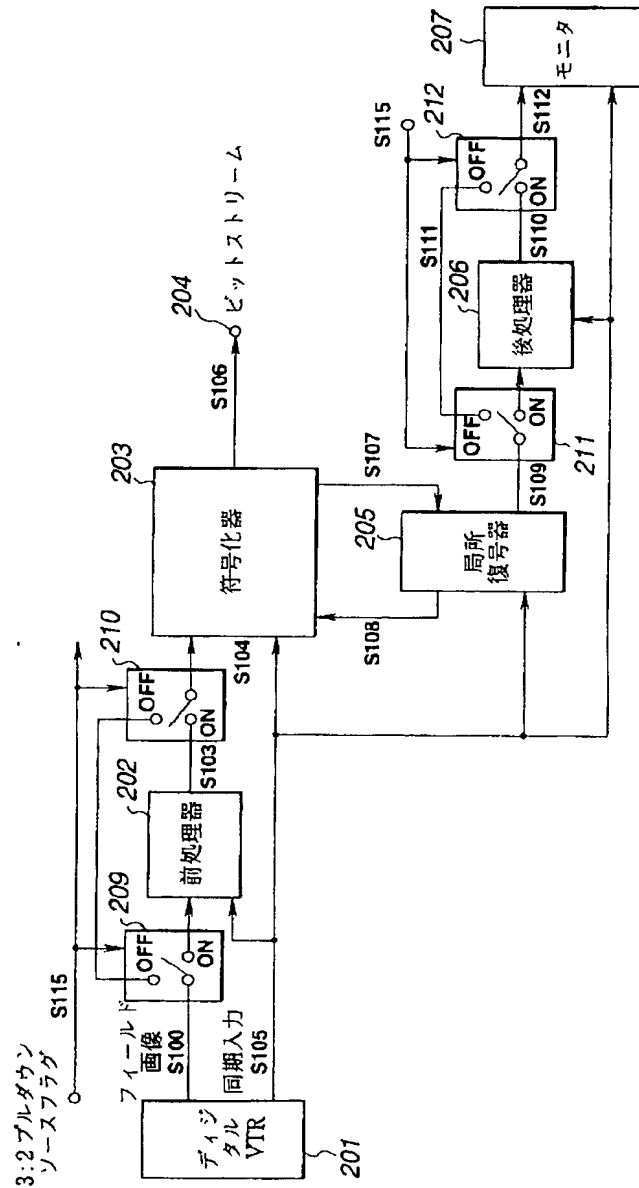
209、210、211、212 切換スイッチ

302 遅延器

305 累積器
 306 比較器
 307 閾値メモリ
 309 フィールドカウンタ

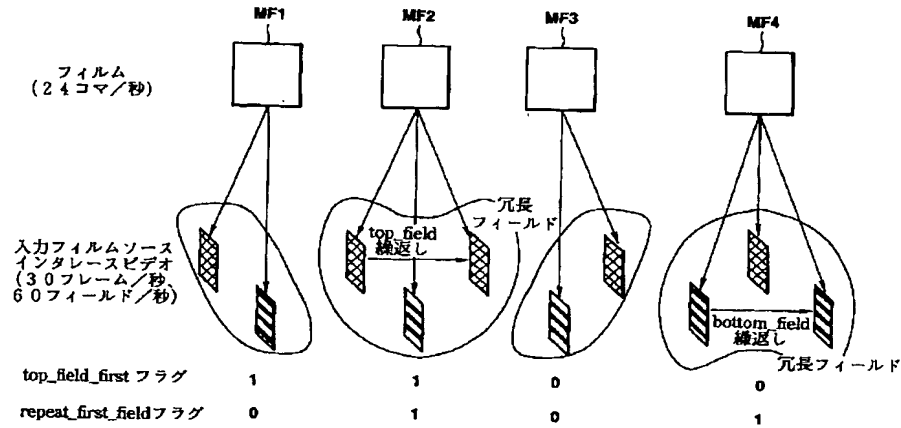
* 310 比較器
 311 AND演算器
 312 出力フィールドコントローラ
 * 313 フレームヘッダ多重化器

【図1】



動画処理システムのブロック図

【図2】



3:2ブルダウンの例を示す図

【図5】

		1フレーム											
S100	入力画像信号	A	B	B	C	D	A	B	B	C	D	A	
		a	b	c	d	d	a	b	c	d	d		
(S212)	冗長フィールド 検出フラグ		x	x	*	x	x	*	x	x	*	x	
S200	2フィールド 遅延	A	B	B	C	D	A	B	B	C	D	A	
		a	b	c	d	d	a	b	c	d	d		
S208	4フィールド 遅延	A	B	B	C	D	A	B	B	C	D	A	
		a	b	c	d	d	a	b	c	d	d		
	top_field_first フラグ	1	1	0			0	1	1	0		0	
	repeat_first_field フラグ	0	1	0			1	0	1	0		1	
S210	逆3:2ブルダウン出力	A	B	C	X	D	A	B	C	X	D		
		a	b	c		d	a	b	c		d		
	フィールド遅延量	4	4	4	2	4	x	x	4	4	4	2	4

前処理器の動作説明タイミングチャート

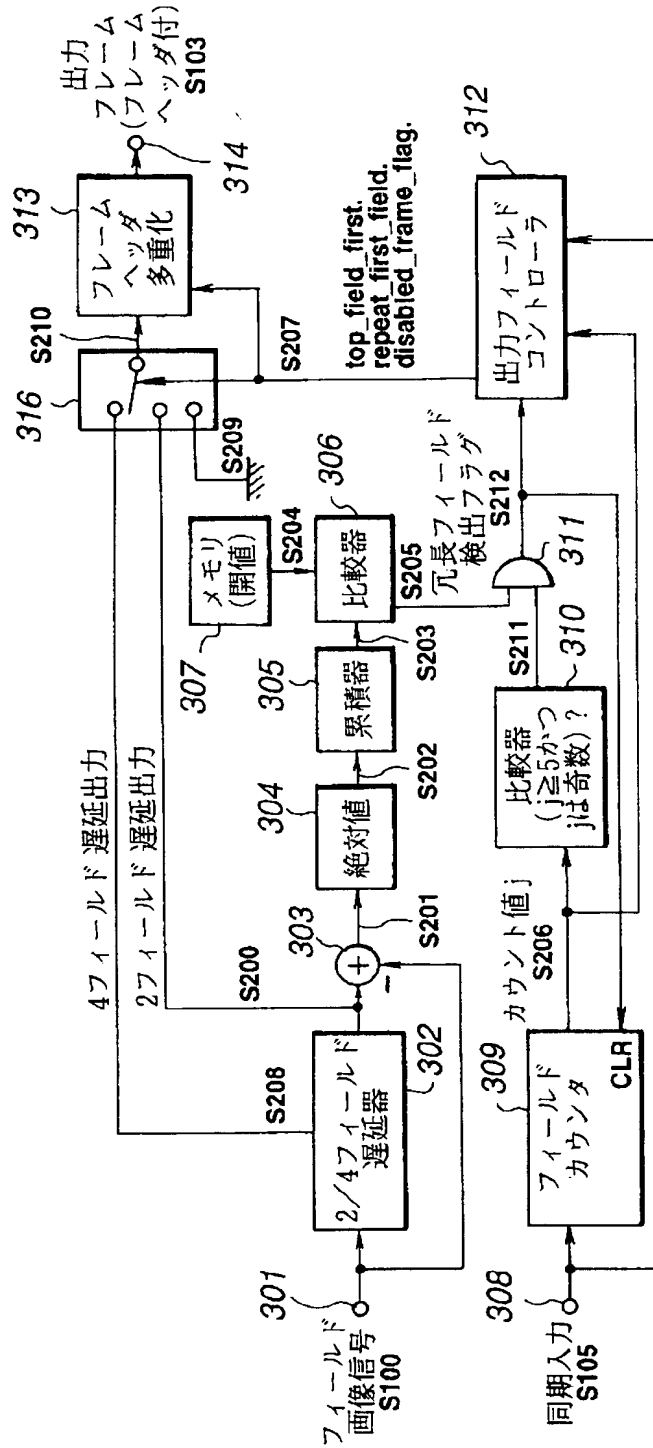
【図7】

		1フレーム											
S300	入力画像信号	A	B	C	X	D	A	B	C	X	D		
		a	b	c		d	a	b	c		d		
	top_field_first フラグ	1	1	0		0	1	1	0		0		
(S303)	repeat_first_field フラグ	0	1	0		1	0	1	0		1		
S301	2フィールド 遅延	A	B	C	X	D	A	B	C	X	D		
		a	b	c		d	a	b	c		d		
S302	4フィールド 遅延	A	B	C	X	D	A	B	C	X	D		
		a	b	c		d	a	b	c		d		
S110	逆3:2ブルダウン出力	A	B	B	C	D	A	B	B	C	D	A	
		a	b	c	d	d	a	b	c	d	d	a	
	フィールド遅延量	2	2	2	4	2	4	0	2	2	2	2	4

後処理器の動作説明タイミングチャート

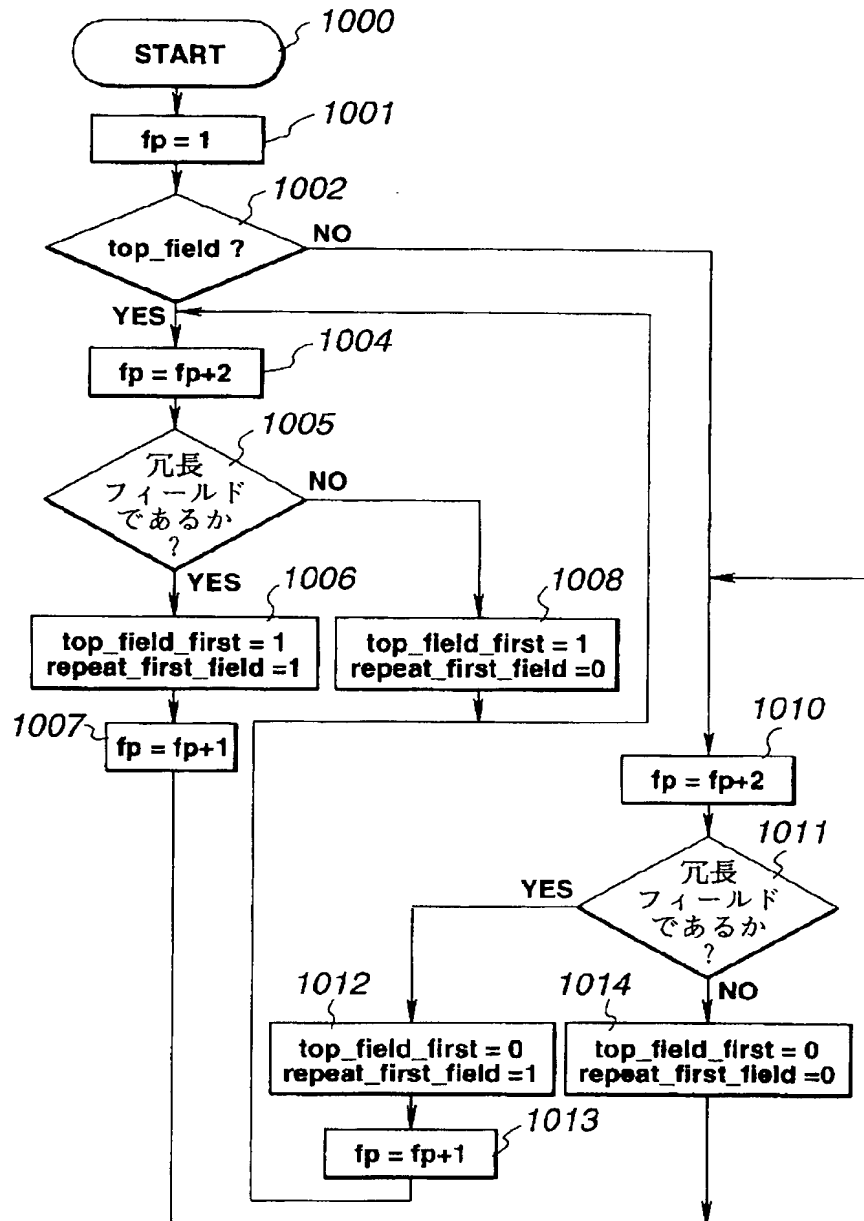
(18)

【図3】



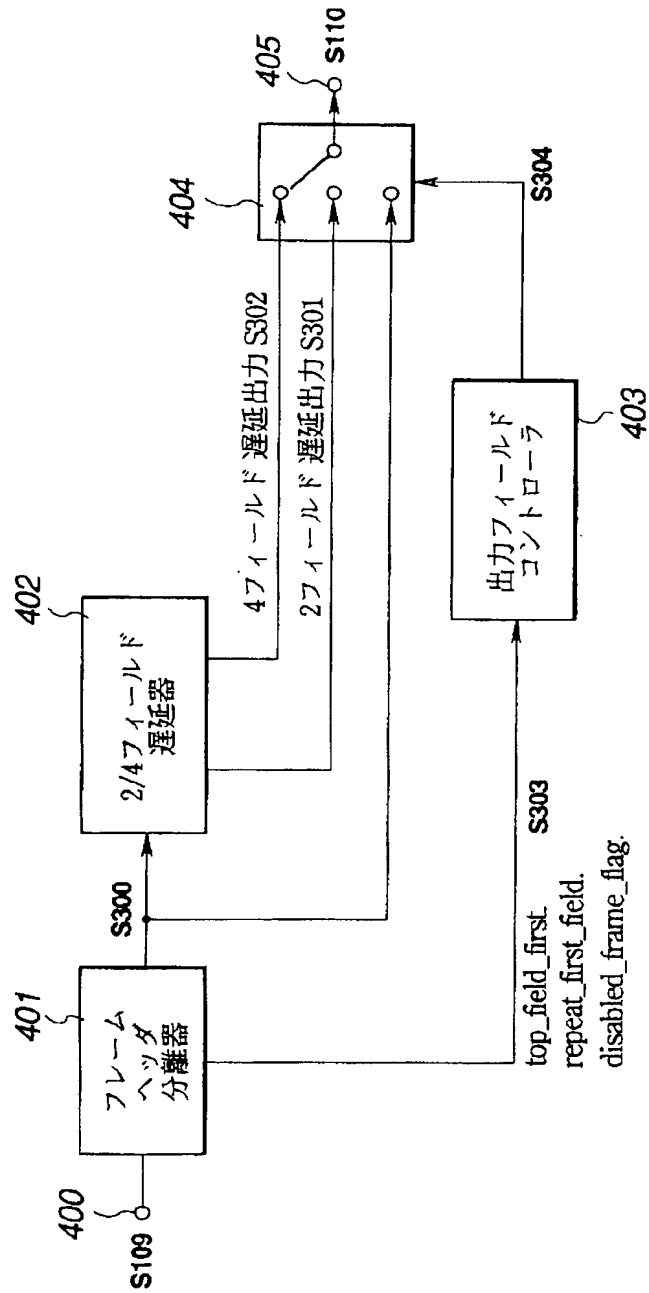
前処理器のブロック回路図

【図 4】



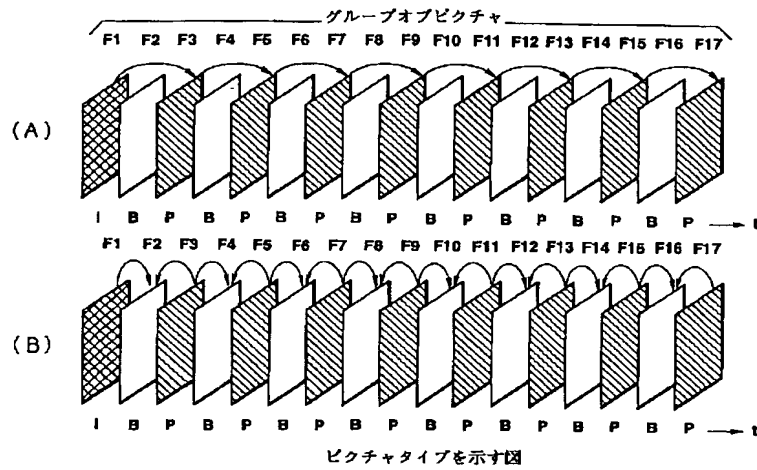
前処理器の動作を説明するフローチャート

【図6】

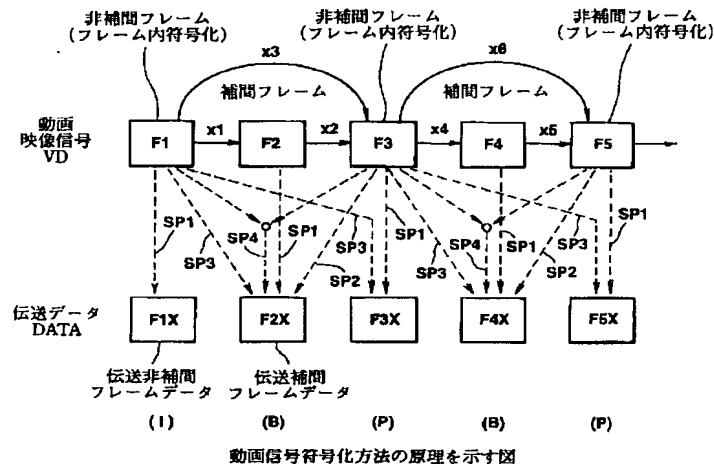


後処理器のブロック回路図

【図 8】



【図 9】



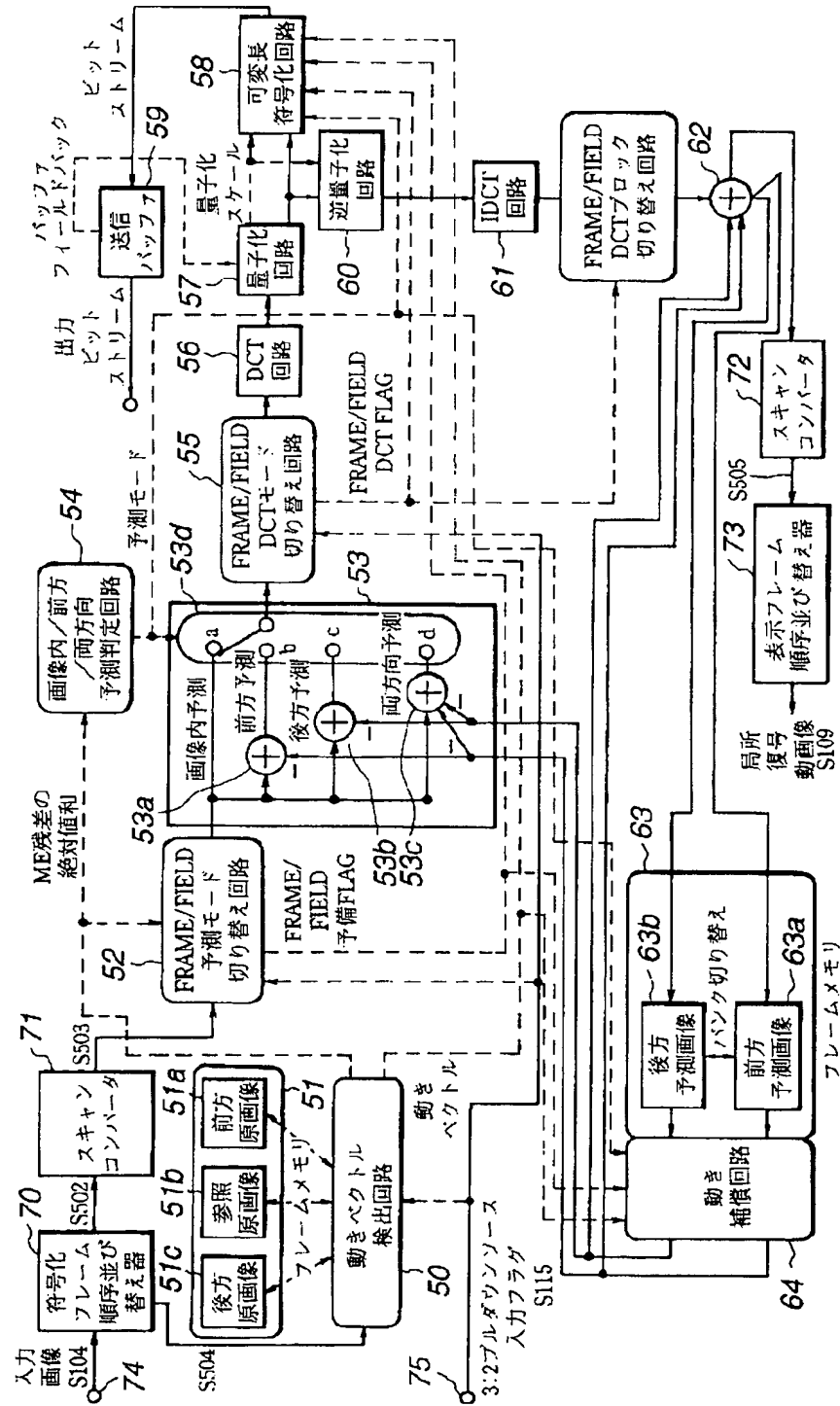
【図 11】

S104		F02	F02	F03	F04	x01	F05	F06	F07	F08	x02	F09	F10	F11	F12	x03	F13	
S501		I01	B02	P03	B04	x01	P05	B06	P07	B08	x02	P09	B10	P11	B12	x03	P13	
S502			I01	P03	B02	P05	B04	x01	P07	B06	P09	B08	x02	P11	B10	P13	B12	x03

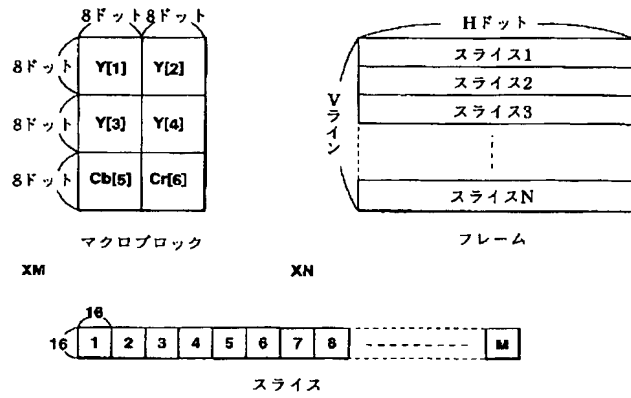
I*:Iピクチャ
 P*:Pピクチャ
 B*:Bピクチャ
 x*:無効フレーム

画像符号化タイプ指定・順序並び換え動作を示す図

【図10】

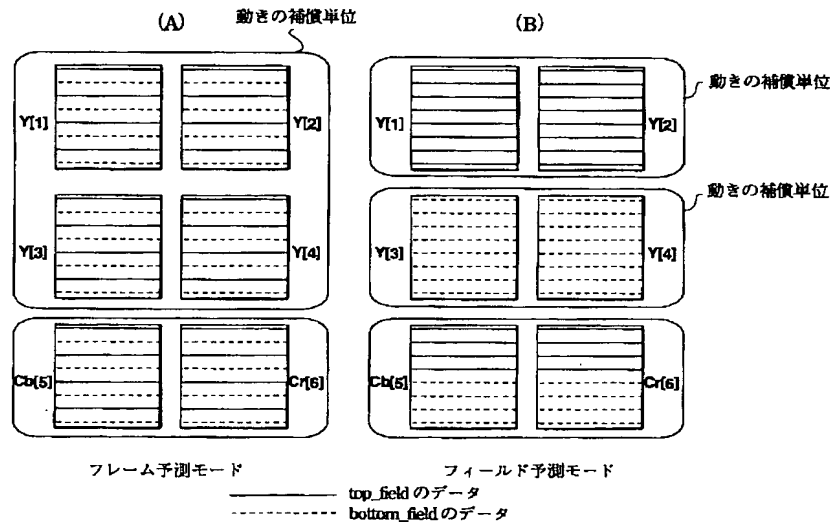


【図 12】



画像データの構造を示す図

【図 13】



フレーム / フィールド予測モードを示す図

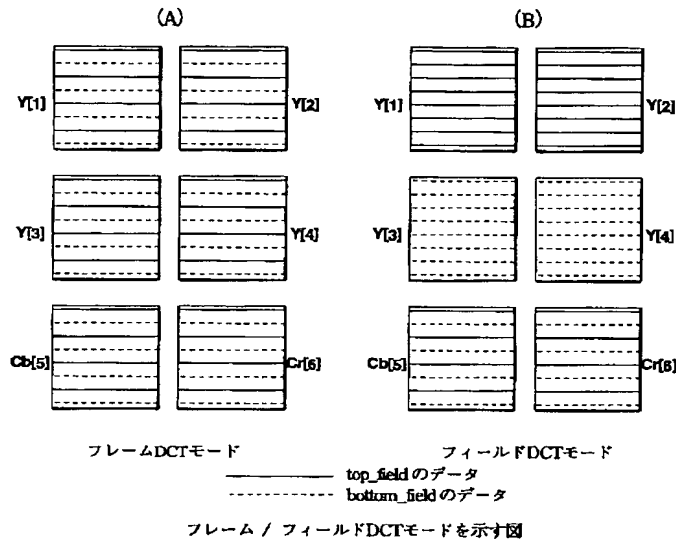
【図 15】

S505		I01	P03	B02	P05	B04	x01	P07	B06	P09	B08	x02	P11	B10	P13	B12	x03	
S109		I01	B02	P03	B04	x01	P05	B06	P07	B08	x02	P09	B10	P11	B12	x03	P13	

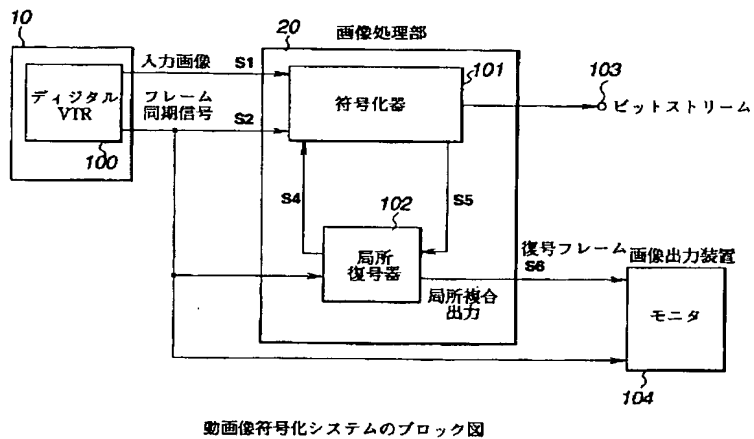
I*: Iピクチャ
P*: Pピクチャ
B*: Bピクチャ
x*: 無効フレーム

画像順序並び換え動作を示す図

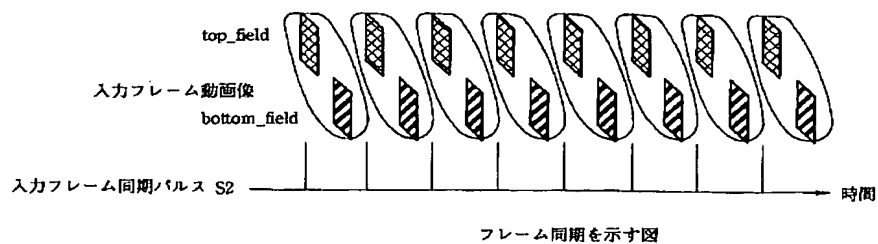
【図14】



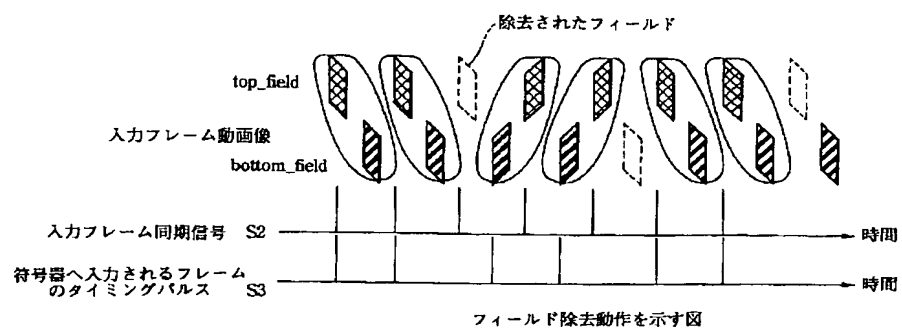
【図16】



【図17】



【図 18】



フロントページの続き

(72)発明者 安田 和徳
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237612

(43)Date of publication of application : 13.09.1996

(51)Int.Cl. H04N 7/01

G06T 13/00

H04N 5/073

H04N 7/30

(21)Application number : 07-352640 (71)Applicant : SONY CORP

(22)Date of filing : 29.12.1995 (72)Inventor : OISHI YOSHIAKI

KATO MOTOKI

KITAZAWA TOSHIHIKO

YASUDA KAZUNORI

(30)Priority

Priority number : 06340583

Priority date : 29.12.1994

Priority country : JP

(54) DYNAMIC IMAGE PROCESSING METHOD

(57)Abstract:

PURPOSE: To process a dynamic image in which a redundant image is included for a prescribed period or irregularly by discriminating the combination between a top field and a bottom field in a frame and conducting image processing according to the result of discrimination.

CONSTITUTION: When a changeover switch 209 is thrown to the position of closing, an input dynamic image signal S100 is processed by a pre-processing unit 202 and a dynamic image signal S103 is obtained. That is, a redundant field image is detected from the input moving image signal S100 and the detected redundant fields are eliminated from plural field images. The combination of a top field and a bottom field being component fields of a frame to which a prescribed image processing is to be conducted is discriminated from a field image string from which the redundant fields are eliminated and the result of discrimination is outputted. Then a prescribed signal is inserted to the field image string from which the redundant field is eliminated, a processing image signal having the same image rate as that of the input digital image signal is generated and prescribed image processing is applied to the processed image signal according to the discrimination result.

LEGAL STATUS [Date of request for examination] 14.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3582195

[Date of registration] 06.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Consist of two or more field images, and a predetermined image processing is performed to the digital dynamic-image signal inputted at the predetermined image rate. The 1st step which is the time-varying-image-processing approach to transmit, and detects a redundancy field image from said input digital dynamic-image signal, The 2nd step which removes said detected redundancy field from said two or more field images, The 3rd step which judges the combination of the top field and the bottom field which constitute the frame to which said predetermined image processing should be performed from the field image sequences from which said redundancy field was removed, and outputs a judgment result, The 4th step which generates the processing picture signal which inserts a predetermined signal in the field image sequences from which said redundancy field was removed, and has the same image rate as said input digital dynamic-image signal, The time-varying-image-processing approach characterized by having the 5th step which performs said predetermined image processing to said processing picture signal according to said judgment result.

[Claim 2] The time-varying-image-processing approach according to claim 1 characterized by having the 6th step which adds the side information used in case said predetermined image processing is performed to said processing picture signal to said processing picture signal.

[Claim 3] Said input digital dynamic-image signal is the time-varying-image-processing approach according to claim 1 characterized by being the signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed.

[Claim 4] When said input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed, The 1st flag with which shows whether it was read previously among said top field and said bottom field in case said side information processes said subject-copy image, The 2nd flag which shows at which image rate of the 3 fields or the 2 fields one screen of said subject-copy image was read, the 3rd flag which shows which picture signal is said inserted predetermined signal

among said processing picture signals -- since -- the time-varying-image-processing approach according to claim 2 characterized by becoming.

[Claim 5] It is the time-varying-image-processing approach according to claim 4 which said predetermined image processing is compression coding processing, and is characterized by not performing said compression coding processing to the processing picture signal with which said 3rd flag was added.

[Claim 6] The time-varying-image-processing approach according to claim 1 characterized by detecting said redundancy field in said 1st step by calculating whenever [field correlation / of said input digital dynamic-image signal].

[Claim 7] Said input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed, and it sets to said 1st step. The time-varying-image-processing approach according to claim 6 characterized by detecting by calculating whenever [with the picture signal delayed in said redundancy field by the picture signal of the current field of said input digital dynamic-image signal, and 2 fields / field correlation].

[Claim 8] The time-varying-image-processing approach according to claim 7 characterized by counting the number of input fields of said input digital dynamic-image signal, judging further whether this counted value is a predetermined value in said 1st step, and detecting said redundancy field from the result of this judgment, and whenever [said field correlation].

[Claim 9] The predetermined signal inserted in said processing picture signal is the time-varying-image-processing approach according to claim 4 characterized by being the invalid signal which is meaningless as a picture signal.

[Claim 10] Consist of two or more field images, and the redundancy field is removed from the digital dynamic-image signal of a predetermined image rate. The invalid signal with which the digital dynamic-image signal with which said redundancy field was removed was beforehand decided on for said redundancy field is inserted. It is the time-varying-image-processing approach which restores the digital dynamic-image signal which includes said redundancy field from the processing picture signal which added the side information for furthermore controlling an image processing, and was generated. The 1st step which separates said side information from said processing picture signal, By repeating the 2nd step which removes said invalid signal from said processing picture signal, and the picture signal of a part of picture signal train with which said invalid signal was removed using said side information The time-varying-image-processing approach characterized by having the 3rd step which

generates said redundancy field and restores the digital dynamic-image signal of said predetermined image rate.

[Claim 11] The time-varying-image-processing approach according to claim 10 characterized by performing 3:2 pulldown processing in which read one screen of a picture signal train from which said invalid signal was removed at said 3rd step in the 2 fields or the 3 fields, and an image rate is changed.

[Claim 12] The 1st flag with which which shows whether it is read previously among the top field which constitutes one screen, and the bottom field in case said side information restores said digital dynamic-image signal, The 2nd flag which shows at which image rate of the 3 fields or the 2 fields one screen of said processing picture signal is read, the 3rd flag which shows which picture signal is said inserted invalid signal among said processing picture signals -- since -- the time-varying-image-processing approach according to claim 11 characterized by becoming.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the time-varying-image-processing approach for processing the dynamic-image signal especially acquired by carrying out optics / electric conversion of the subject-copy image source like the film of a movie about the time-varying-image-processing approach of processing the dynamic image with which a redundancy image is contained.

[0002]

[Description of the Prior Art] Two or more equipments treating a dynamic image are connected, and when constructing a time-varying-image-processing system, it is necessary to take the synchronization of a dynamic image. It is made to follow other equipments on the basis of the equipment of 1 of a system generally. The equipment which becomes these criteria is called a master and others are called a slave. Usually, a master is the video camera which is the source of supply of a dynamic image, VTR, a videodisk, or a computer. On the other hand, a slave is the coding equipment (encoder)

which processes the supplied dynamic image, VTR, or a monitoring device.

[0003] The synchronizing signal supplied from the master is used as a reference clock of the phase locked loop (PLL:Phase Locked Loop) of a system.

[0004] An example of a concrete dynamic-image coding system is shown in drawing 16 .

[0005] Although this dynamic-image coding system has the clock of an encoder 101, the clock of the partial decoder 102, and many clocks called a display clock, it makes the master clock the frame alignment signal S2 supplied in this from the digital video tape recorder 100 of the picture input device 10 which is the source of supply of a dynamic image.

[0006] Dynamic-image coding is a technique made indispensable because of reduction of a transmission cost in the case of digital transmission of a dynamic image here.

[0007] For example, the image-processing section 20 consists of an encoder 101 and a partial decoder 102, and the hybrid code-ized approach which combined the motion compensation prediction widely known for the so-called MPEG 2 (ISO/IEC 13818-2) etc. and DCT is used for it.

[0008] The input image S1 is given here at rates, such as 30 frames per second (60 fields / second) and 25 frames per second (50 fields / second), as shown in drawing 17 .

[0009] The field shown according to the mesh line is the top field (top field) or the odd number field (odd field) among drawing, and the field shown with the slash is the bottom field (bottom field) or the even number field (even field). One frame surely consists of this example in the field of a pair. Therefore, a frame alignment signal S2 agrees with each frame, and is supplied. In this case, all input images are encoded in the image-processing section 20 of drawing 16 , and an encoder 101 locks and operates to a frame alignment signal S2.

[0010] Thus, when the redundant field was not included in the input image S1, the dynamic-image coding system was operating by using a frame alignment signal S2, without causing a breakdown.

[0011]

[Problem(s) to be Solved by the Invention] By the way, a redundancy image may be contained in the input image S1 in drawing 16 .

[0012] It is contained in a dynamic image which carries out optics / electric conversion of the motion-picture film, and was recorded on VTR with this redundancy image. That is, in the television system of NTSC, they are per second 30 frames (60 field) to the number of coma of the motion-picture film as the subject-copy image source being per second 24 coma. Then, in order to compensate per second six frames (12 field) running short, by the 1 field coming out comparatively about two coma, and repeating the same field, two

coma was made into the 5 fields and 24 coma is changed into the 60 fields, i.e., 30 frames. This approach is called 3:2 PURUDAUN and mentioned later for details. This repeated field is the same as the previous field, and serves as a redundancy image.

[0013] By the dynamic-image coding system, a redundancy image is detected and data are reduced by not encoding this. A redundancy image is detected and it is only merely made therefore, not to encode in the pretreatment with an encoder 101 in the example of drawing 16 , although not illustrated about the redundancy image.

[0014] About the case where such processing is made, an example is shown in drawing 18 .

[0015] In this example, a redundancy image is shown and is not encoded in the field of void.

[0016] When the field of void is the odd number field, it is the same as the last odd number field here, and when the field of void is the even number field, it is the same as the last even number field. Therefore, a new input frame is made from the 2 fields which remove the 1 field every 5 fields with pretreatment, and continue on it.

[0017] The timing of the frame inputted into the image processing system of the next step becomes asynchronous-like with a frame alignment signal S2, and stops consequently, locking with a frame alignment signal S2, as a timing pulse S3 shows. Therefore, by the dynamic-image coding system of drawing 16 which uses a frame alignment signal S2 with an image processing system, a frame alignment signal S2 cannot be used in image-processing section 20 grade.

[0018] Moreover, when also treating the dynamic image containing the redundancy image of drawing 18 other than the usual dynamic image of drawing 17 , the complexity of the image-processing section 20 of processing will increase by the case where it does not consider as the case where it pretreats etc.

[0019] Furthermore, as a result of an editing task, with the dynamic image in which a redundancy image came to be contained irregularly, the timing of a frame is considered, also when changing irregularly more intricately. It was difficult not to know the image processing system corresponding to such all timing, and to make.

[0020] this invention is made in view of such the actual condition, and a redundancy image is a fixed period -- it is -- it aims at offering the time-varying-image-processing approach that the dynamic image contained irregularly can be processed.

[0021] This invention moreover, for pretreatment, such as removing a redundancy image in the time-varying-image-processing system which makes a master clock the image synchronous input supplied from a picture input device out of the original input dynamic image supplied from a picture input device As shown in drawing 18 , even

when the image sequences inputted into the image processing system of the next step do not lock in the synchronous input of a original input dynamic image (lock), the synchronous input of a original input dynamic image is made into the master clock of an image processing system. It aims at offering the technique for outputting an image processing and a processing image.

[0022] Namely, it aims at offering a technique for an encoder also using an input frame (or field) synchronizing signal.

[0023]

[Means for Solving the Problem] The time-varying-image-processing approach concerning this invention consists of two or more field images, and a predetermined image processing is performed to the digital dynamic-image signal inputted at the predetermined image rate. The 1st step which is the time-varying-image-processing approach to transmit, and detects a redundancy field image from an input digital dynamic-image signal, The 2nd step which removes the redundancy field detected from two or more field images, The 3rd step which judges the combination of the top field and the bottom field which constitute the frame to which a predetermined image processing should be performed from field image sequences from which the redundancy field was removed, and outputs a judgment result, The 4th step which generates the processing picture signal which inserts a predetermined signal in the field image sequences from which the redundancy field was removed, and has the same image rate as an input digital dynamic-image signal, An above-mentioned technical problem is solved by having the 5th step which performs a predetermined image processing to a processing picture signal according to the outputted judgment result.

[0024] It is desirable to have the 6th step which adds the side information used here in case a predetermined image processing is performed to a processing picture signal.

[0025] Moreover, an input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed.

[0026] Furthermore, when an input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed, The 1st flag with which which shows whether it was read previously among the top field and the bottom field in case side information processes a subject-copy image, An above-mentioned technical problem is solved by having the 3rd flag which shows whether they are the 2nd flag which shows at which image rate of the 3 fields or the 2 fields one screen of a subject-copy image was read, and the predetermined signal with which which picture signal was inserted

among processing picture signals.

[0027] In addition, in the 6th step, a predetermined image processing is compression coding processing, and compression coding processing is not performed to the processing picture signal with which the 3rd flag was added.

[0028] Moreover, in the 1st step, the redundancy field is detected by calculating whenever [field correlation / of an input digital dynamic-image signal].

[0029] Furthermore, the predetermined signal inserted in a processing picture signal is an invalid signal which is meaningless as a picture signal.

[0030] Moreover, the time-varying-image-processing approach by this invention consists of two or more field images. The redundancy field is removed from the digital dynamic-image signal of a predetermined image rate. The invalid signal with which the digital dynamic-image signal with which said redundancy field was removed was beforehand decided on for said redundancy field is inserted. It is the time-varying-image-processing approach which restores the digital dynamic-image signal which includes said redundancy field from the processing picture signal which added the side information for furthermore controlling an image processing, and was generated. The 1st step which separates side information from a processing picture signal, and the 2nd step which removes an invalid signal from a processing picture signal using side information, It has the 3rd step which generates the redundancy field and restores the digital dynamic-image signal of a predetermined image rate by repeating some picture signals of a picture signal train with which the invalid signal was removed.

[0031] According to the dynamic-image signal-processing approach concerning this invention, from the inputted digital dynamic-image signal Detect the redundancy field and the combination of the top field which builds the frame by which compression coding processing should be carried out with the image sequences except the redundancy field, and the bottom field is judged. The dynamic image which a redundancy image is a fixed period or is contained irregularly can be made into the new image-sequences signal with which the synchronization with an image synchronizing signal was taken by building a frame image, inserting a predetermined signal in these frame image sequences, and making a processing picture signal.

[0032] In this case, based on this side information, exact processing can be performed by the image coding equipment side by adding the side information for an image processing to the above-mentioned processing image sequences.

[0033] Moreover, when it is the signal read by 3:2 pulldown ** from which the above-mentioned input digital dynamic-image signal reads one coma of an one screen of

a subject-copy image, for example, a motion-picture film, in the 2 fields or the 3 fields, The 1st flag which shows whether the top field was first read as the above-mentioned side information when reading the above-mentioned subject-copy image, or the bottom field was read previously, i.e., a top_field_first flag, The 2nd flag which shows whether one screen of the above-mentioned subject-copy image was read in the 3 fields, or it was read in the 2 field, i.e., a repeat_first_field flag, Exact processing can be performed by including the 3rd flag which shows whether it is an invalid signal as the above-mentioned predetermined signal.

[0034] In this case, since compression coding processing cannot be carried out to the above-mentioned invalid signal when carrying out dynamic-image coding of the above-mentioned processing picture signal, efficient image coding can be performed.

[0035] The above-mentioned redundancy field detection means the above-mentioned input digital dynamic-image signal In being the signal read by 3:2 pulldown ** which reads one coma of an one screen of a subject-copy image, for example, a motion-picture film, in the 2 fields or the 3 fields Whenever [with the current field of the above-mentioned input digital dynamic-image signal and 2 field delay signal / field correlation] is calculated. Furthermore, the field counter by which counts the number of the fields as which the above-mentioned input digital dynamic-image signal is inputted, and a zero clearance is carried out at the time of redundancy field detection, It has a comparison means to judge whether the number of the counted value from this field counter is odd [five or more], and it is desirable to detect the redundancy field based on the output from this comparison means and whenever [above-mentioned field correlation], and it can detect the positive redundancy field by this.

[0036]

[Embodiment of the Invention] The time-varying-image-processing system by which the time-varying-image-processing approach concerning this invention was applied is explained referring to drawing 1 .

[0037] The example of the time-varying-image-processing system which contains in this drawing 1 the dynamic-image coding equipment at the time of making into a original input dynamic-image signal the video signal of the film source which set the frame rate to 30Hz by the so-called 3:2 PURUDAUN is shown.

[0038] 3:2 PURUDAUN is explained briefly here. When changing the film sources, such as a movie, into an interlace video signal, 3:2 pulldown flume ***** is used widely. That is, to being per second 24 coma, a film changes the number of the fields by 3:2 PURUDAUN, when interlace video signals are 30 frames per second (60 fields / second).

[0039] That is, as shown in drawing 2 , the coma MF 1 of the beginning of the two coma

MF1 and MF2 which the film followed, for example, coma, is read in the 2 fields of video, and the following coma MF 2 uses the approach of reading in the 3 fields.

[0040] Moreover, it is the actuation which detects the coma read in the 3 field, removes the redundant repeat field, and makes the progressive frame of 24 frames per second ideally from reverse 3:2 pulldown ** and the interlace video signal of 30 frames per second. Ideally, the redundancy field appears in 5 field periods.

[0041] In the time-varying-image-processing system shown in drawing 1 , the interlace video signal of 30 frames per second (60 fields / second) into which the top field (top_field) is inputted previously is supplied as an input dynamic-image signal S100 from the digital video tape recorder 201 which is a picture input device.

[0042] Here, when the input dynamic-image signal S100 is the dynamic image which changed the film source by 3:2 PURUDAUN, the 3:2 pulldown source input flag S115 is set, and change-over switches 209, 210, 211, and 212 are connected to an ON (on) side. In the case of the dynamic image which is not what was changed by 3:2 PURUDAUN, these change-over switches are connected to an OFF (off) side. When it connects with an OFF (off) side, a system configuration becomes the same as the conventional example fundamentally. In the following explanation, when an above-mentioned change-over switch is connected to an ON (on) side, explanation is advanced about the case where it is an input dynamic image containing a redundancy image.

[0043] When a change-over switch 209 is first connected to an ON (on) side, the input dynamic-image signal S100 is processed with the pretreatment vessel 202, and turns into the dynamic-image signal S103.

[0044] Processing with this pretreatment vessel 202 is further explained to a detail, referring to drawing 3 .

[0045] Whenever [between 2 fields with the field picture signal S200 of 2 field delay with which the above-mentioned input dynamic-image signal (henceforth a field picture signal) S100 of 60Hz video field inputted from the terminal 301 is outputted from the delay machine 302 / correlation] is calculated. here -- as the count -- difference -- the-izing machine 303 -- setting -- every pixel -- difference -- a value is calculated. the difference calculated for every pixel -- the absolute value S202 is calculated with the absolute value vessel 304, and, as for a value S201, the accumulation sum around the 1 field is calculated with the accumulation vessel 305. When this accumulation value S203 is compared by the threshold S204 and comparator 306 which are set to the suitable value and serves as smallness from a threshold, a flag S205 is set. In addition, it is applicable if it is the means which can calculate whenever [between 2 fields of not only this approach but the field picture signal S100, and the field picture signal S200 /

correlation].

[0046] On the other hand, the synchronous input S105 of the field picture signal S100 is inputted into the field counter 309 from the terminal 308. That is, the field counter 309 enumerates the number of the fields inputted into the pretreatment machine 202. And when the number of counted value j shown by S206 is odd [five or more], a comparator 310 sets a flag S211. When both the flag S211 and the flag S205 stand, the redundancy field detection flag S212 which is an output from the AND-operation machine 311 starts, namely, is judged that the field picture signal S100 by which the current input was carried out is the redundancy field which overlaps by 3:2 PURUDAUN. If the redundancy field detection flag S212 starts, the field counter 309 will be cleared by zero. Out of an input dynamic-image signal, the picture signal of the field judged to be the redundancy field is removed, and is not encoded.

[0047] In addition, the reason which is presupposing "counted value j is five or more odd number" the criterion in a comparator 310 is that it is not guaranteed that reverse 3:2 PURUDAUN always operates regularly for the reason shown below.

[0048] That is, the pattern with which the redundancy field appears in 5 field periods is no longer guaranteed [the 1st and] by 3:2 pulldown backward video edit etc.

[0049] Moreover, since a smoothing filter is applied [the 2nd and] to 3:2 pulldown ** by inter-frame between the directions of a time-axis, i.e., the field, the redundancy field becomes is hard to be detected depending on a pattern. For example, even if it is the redundancy field in fact, a flag S205 may not stand by the comparator 306 of drawing 3 .

[0050] Even when the pattern of 3:2 PURUDAUN is not guaranteed, in a comparator 310, it becomes possible to continue the judgment of the redundancy field continuously.

[0051] Thus, in fact, since reverse 3:2 PURUDAUN is not necessarily performed regularly, the frame rate of the dynamic image after removing the redundancy field out of the input dynamic-image signal S100 is changed between 24Hz and 30Hz. Since this period is not locked in a synchronous input S105, in this example, by rearranging the sequence of input field and inserting an invalid frame further as pretreatment, it makes the new input image sequences locked in a synchronous input, and inputs them into the encoder 203 of the next step.

[0052] Next, an approach to insert the field rearrangement and an invalid frame is explained using drawing 3 . Here, based on the redundancy field detection flag S212, the output field controller 312 has switched three signals, the field picture signal S200 of 2 field (one frame) delay outputted from the delay machine 302, the field picture signal S208 of 4 field delay, and the invalid field picture signal S209, with the change-over switch 316.

[0053] Based on the positional information by which the redundancy field was detected, the display pattern of an input image is classified into four kinds according to top_field_first and two flags of repeat_first_field, as shown in drawing 2 . Here, a top_field_first flag means whether the top field (top_field) was sometimes first read the bottom pulldown [3:2] in one coma with a film. A repeat_first_field flag means whether one coma of a film was read in the 3 fields. A top_field_first flag and a repeat_first_field flag are generated by the output field controller 312, and even if few [at that time], the information on the past 2 display patterns is memorized inside.

[0054] The flow chart of the algorithm which asks for the top_field_first flag performed by the output field controller 312 and a repeat_first_field flag is shown in drawing 4 . fp expresses the through number after the input of the input field picture signal S100 here, and the addition to fp means that the time amount of the field picture signal S100 progresses to the future. for example, the input of, as for fp=fp +2, the time amount of the field picture signal S100 having progressed [S100] to 2 field future, i.e., a field picture signal, -- 2 field **** -- things are expressed.

[0055] Each process (step) of the flow chart of drawing 4 is explained. After carrying out initiation (step 1000) of operation, the first field is inputted (step 1001), and the parity of the field is investigated in the top field (top_field) or the bottom field (bottom_field) (step 1002), and branches to each processing (step 1004 or 1010).

[0056] When distinguished from Yes at step 1002 (i.e., when the first field is the top field (top_field)), it goes to the field of 2 field future (step 1004), and it is investigated whether it is the redundancy field (step 1005). That is, this is the judgment of whether the redundancy field detection flag S212 of drawing 3 stands. When it is the redundancy field, the display patterns of the 3 field are before it top_field_first=1 of each above-mentioned flag, and repeat_first_field=1 including the current field.

[0057] It is location detected_fp=fp of the redundancy field (step 1006). And the time amount of the field picture signal S100 is 1 field ** **** (step 1007). As next processing, it moves to the process (step 1010) in the case of the bottom field (bottom_field). when it was not the redundancy field at the above-mentioned step 1005 and is distinguished, without it includes the current field on the other hand -- the display pattern of the front 2 fields -- each -- it is flag top_field_first=1 and repeat_first_field=0 (step 1008). It moves from the next processing to the process (step 1004) in the case of the above-mentioned top field (top_field).

[0058] When distinguished from No by previous branching (step 1002) (i.e., when the first field is the bottom field (bottom_field)), it goes to the field of 2 field future (step 1010), and it is investigated whether it is the redundancy field (step 1011). That is, this

is the judgment of whether the redundancy field detection flag S212 of drawing 3 stands. [0059] the case where it is the redundancy field -- the current field -- including -- the display pattern of the or before it 3 field -- each -- it is flag top_field_first=0 and repeat_first_field=1 and is location detected_fp=fp of the redundancy field (step 1012). And the time amount of the field picture signal S100 is 1 field ** **** (step 1013). It moves from the next processing to step 1004 in the case of the above-mentioned top field (top_field). when it is not the redundancy field, without it includes the current field on the other hand -- the display pattern of the front 2 fields -- each -- it is flag top_field_first=0 and repeat_first_field=0 (step 1014). It moves from the next processing to step 1010 in the case of the above-mentioned bottom field (bottom_field).

[0060] By the output field controller 312, each flag top_field_first and repeat_first_field are set as mentioned above.

[0061] Next, the example of actuation of the output field controller 312 is explained, referring to drawing 5.

[0062] Capital letters, such as "A" and "B", express the top field (top field) among drawing, and small letters, such as "a" and "b", express the bottom field (bottom field). Moreover, spacing of "|" is an input frame period. The above-mentioned redundancy field presupposes that it was detected in the location of "*."

[0063] In the example of this drawing 5, the field "A" of the beginning of S100 is inputted (fp=1), and, as for this, it turns out that it is the top field (top_field) (steps 1000-1004). The field "B" of 2 field future (fp=3) is not judged to be the redundancy field (steps 1004-1008). For the field "B" of the next 2 field future (fp=5), it is judged with the redundancy field and (step 1005-1006) and time amount are 1 field **** (fp=6) (step 1007). The field "d" of the next 2 field future (fp=8) is not judged to be the redundancy field (steps 1010-1014). The field "d" of the next 2 field future (fp=10) is judged to be the redundancy field (steps 1010-1012). By the above processing, a display pattern is set as follows.

[0064]

fp=1-2 top_field_first=0, repeat_first_field=1, next an output S210 are explained. :
top_field_first=1, repeat_first_field=0 fp=3-5 : top_field_first=1, repeat_first_field=1
fp=6-7 : top_field_first=0, repeat_first_field=0 fp=8-10 :

[0065] The output S210 of a change-over switch 316 starts in 4 field (two frames) delay to the input field picture signal S100. Based on each flag top_field_first and repeat_first_field which are set to the output field controller 312, when the output field controller 312 sends the change-over control signal S207 to a change-over switch 316, this output S210 is carried out as shown in following (1) to (4), and is controlled.

[0066] (1) In the case of top_field_first=1 and repeat_first_field=0, the field picture signal S208 of 4 field delay is outputted the 2 fields in order. At the example of drawing 5, it is 1st frame |A of S208. a|. .

[0067] (2) In the case of top_field_first=1 and repeat_first_field=1, the field picture signal S208 of 4 field delay is outputted the 2 fields in order. At the example of drawing 5, it is 2nd frame |B of S208. b|. . Since the top field (top_field) "B" of the 3rd input frame is the redundancy field, it is removed, namely, it is not outputted.

[0068] (3) In the case of top_field_first=0 and repeat_first_field=0, the field picture signal S200 of 2 field delay is outputted, and then the field picture signal S208 of 4 field delay is outputted. In the example of drawing 5, the field picture signal S200 is outputted to the location of the top field (top_field) "B" of the 3rd frame of S208 removed since it was the redundancy field (front stuffing of the top field (top_field) "C" of the 4th frame of S208 is carried out, and it is outputted). Next, the bottom field (bottom_field) "c" of the 3rd input frame of S208 is outputted. Although these 2 fields moreover are not making the frame by the direction of the bottom field (bottom_field) "c" being in front in S100 in time than the top field (top_field) "C", the top field (top_field) comes by the output S210 in front, and it is output frame |C. It comes to make c|. .

[0069] (4) In the case of top_field_first=0 and repeat_first_field=1, the invalid field (invalid frame of one sheet) of two sheets is outputted. Next, the field picture signal S208 of 4 field delay is outputted the 2 fields in order. In the example of drawing 5, when the redundancy field is detected in the bottom field (bottom_field) (for example, when it is the bottom field (bottom_field) "d" of the 5th frame of S100), the invalid field of two sheets is outputted as an output S210. This is illustrated by |x| at drawing 5. To the degree, it is |D from S208. d| is outputted.

[0070] Carrying out, as shown in (1) to (4) of a more than, the output field controller 312 switches a change-over switch 316, and controls an output S210. The amount of delay in comparison with the field picture signal S100 of each field of an output S210 is shown in the column of the "amount of field delay" of drawing 5. It expresses that they are the output from S208, an output from S200, and the output of the invalid field, respectively in the case of a value 4 and values 2 and x.

[0071] The 2 fields where an output S210 continues are used as an output frame, and to each frame, with the frame header multiplexing vessel 313, frame header information is added and it is outputted as a dynamic-image signal S103 from a terminal 314. The contents of the header contain a top_field_first flag, a repeat_first_field flag, and an invalid-frame flag (all over drawing, it is indicated as disabled_frame_flag). The example of the header information added to each frame is shown in the column of "the

top_field_first flag and repeat_first_field flag" of drawing 5 .

[0072] Each output frame of an output S210 and the dynamic-image signal S103 is outputted previously, and the top field (top_field) locks the frame period with the frame period of the synchronous input signal S105.

[0073] In addition, although he is trying to insert an invalid frame in the above-mentioned explanation so that it may synchronize with a frame alignment signal, the invalid field may be inserted so that it may synchronize with a field synchronizing signal. In this case, if the field rate is 60Hz, the insertion point of the invalid field of two sheets is good anywhere, and the field of two sheets does not need to be inserted continuously.

[0074] By the way, when the change-over switches 209 and 210 of drawing 1 are OFF, the field picture signal S100 is an interlace video signal into which the ordinary top field (top_field) without 3:2 pulldown ***** is inputted previously.

[0075] In this case, a frame header serves as the default contents and are always top_field_first=1, repeat_first_field=0, and disabled_frame_flag=0.

[0076] Regardless of ON/OFF of the change-over switches 209 and 210 of drawing 1 , the field picture signal S100 and the dynamic-image signal S103 are satisfactory as an input S104 to the encoder 203 which operates considering a synchronous input S105 as a master clock.

[0077] Processings various with the encoder 203 and the partial decoder 205 whose input S104 is the core part of a dynamic-image coding system are carried out. here, it is instructed as the invalid frame by each frame header of an input S104 -- if a frame pair is carried out, an effective image processing is not carried out. The example about processing here is mentioned later.

[0078] Next, how to output the partial decode output S109 which is an output from the partial decoder 205 to the image output unit 207 is explained. The after-treatment machine 206 into which the partial decode output S109 is inputted is explained referring to drawing 6 .

[0079] In drawing 6 , as for the partial decode output S109 inputted from the terminal 400, the contents S303 of a header of each frame are read with the frame header eliminator 401, and these contents S303 of a header are inputted into the output field controller 403. Even if there are few contents S303 of a header, the information on the past 1 display pattern is memorized by the output field controller 403. The contents S303 of a header contain each flag top_field_first, repeat_first_field, and disabled_frame_flag.

[0080] By the way, when the change-over switches 211 and 212 of drawing 1 are OFF,

S111 is an interlace video signal into which the ordinary top field (top_field) without 3:2 pulldown ***** is inputted previously.

[0081] In this case, a frame header serves as the default contents and are always top_field_first=1, repeat_first_field=0, and disabled_frame_flag=0.

[0082] The output field controller 403 of drawing 6 has switched three signals, the present input field picture signal S300, the field picture signal S301 of 2 field (one frame) delay outputted from the delay machine 402, and the field picture signal S302 of 4 field (two frames) delay, with the change-over switch 404 based on the above-mentioned contents of a frame header.

[0083] Next, the example of actuation of the above-mentioned after-treatment machine 206, especially actuation of the output field controller 403 of drawing 6 is explained, referring to drawing 7.

[0084] Each sign in this drawing 7 is the same as that of the case of above-mentioned drawing 5, capital letters, such as "A" and "B", express the top field (top field), and small letters, such as "a" and "b", express the bottom field (bottom field). Moreover, spacing of " | " is an input frame period.

[0085] The image output S110 starts in 2 field (one frame) delay to the input field picture signal S300. Based on top_field_first, repeat_first_field, and disabled_frame_flag which are set to the output field controller 403, an output is carried out as shown in following (1) to (5), and it is controlled.

[0086] (1) In the case of top_field_first=1, repeat_first_field=0, and disabled_frame_flag=0, the field picture signal S301 of one-frame delay is outputted the 2 fields in order. At the example of drawing 7, it is 1st frame | A of S301. a |.

[0087] (2) In the case of top_field_first=1, repeat_first_field=1, and disabled_frame_flag=0, the field picture signal S301 of one-frame delay is outputted the 2 fields in order. Next, the field picture signal S302 of two-frame delay is outputted the 1 field. At the example of drawing 7, it is 2nd frame | B of S301. b | is outputted and, subsequently the top field (top_field) "B" of the 2nd frame of S302 is outputted.

[0088] (3) In the case of top_field_first=0, repeat_first_field=0, and disabled_frame_flag=0, the field picture signal S301 of one-frame delay is outputted the 1 field, and, subsequently the field picture signal S302 of two-frame delay is outputted. In the example of drawing 7, the bottom field (bottom_field) "c" of the 3rd frame of S301 is outputted, and, subsequently the top field (top_field) "C" of the 3rd frame of S302 is outputted.

[0089] (4) In the case of disabled_frame_flag=1, nothing is outputted.

[0090] (5) The case current input field picture signal S300 of top_field_first=0,

repeat_first_field=1, and disabled_frame_flag=0 is outputted the 1 field, and, subsequently to order, the field picture signal S301 of one-frame delay is outputted the 2 fields.

[0091] Carrying out, as shown in (1) to (5) of a more than, the output field controller 403 switches a change-over switch 404, and controls the image output S110. The amount of delay in comparison with the partial decode output S109 of each field of the image output S110 is shown in the column of the "amount of field delay" of drawing 7. It expresses that they are the output from S302, an output from S301, and an output from S300, respectively in the case of a value 4, a value 2, and a value 0.

[0092] Next, the output S112 which returned to drawing 1 again, was processed with the after-treatment vessel 206 through the change-over switch 211 if needed from the partial decoder 205, and was obtained through the change-over switch 212 can be displayed with the monitor 207 which is an image display device.

[0093] The I/O section of the dynamic image of the time-varying-image-processing system of this invention shown in drawing 1 as mentioned above operates.

[0094] In addition, although the above explanation explained the case where inserted an invalid frame as an invalid signal inserted in the picture signal inputted into an encoder, and an invalid-frame flag was added to frame header information, the flag which is good also as the field, a macro block, or a pixel, and shows an invalid signal to each unit in this case as a unit of not only this but an invalid signal will be added as side information.

[0095] Moreover, although the above explanation explained the case where it was 1 frame time, as a period of the synchronous input of an input image in that case, application becomes possible also as not only this but 1 field time amount, or 1-pixel time amount.

[0096] In addition, conversely, although the picture input device 201 and the encoder 203 explained the case where the top field was equipment corresponding to the interlace video signal inputted previously, by the above explanation, a picture input device 201 and an encoder 203 can explain similarly, when the bottom field is equipment corresponding to the interlace video signal inputted previously. In that case, what is necessary is just to replace the sequence of the top field (top_field: odd number field) out of which it came by the above explanation, and the bottom field (bottom_field: even number field).

[0097] For example, an output S210 and the field picture signal S300 turn into an interlace video signal into which a bottom_field_first flag is inputted previously.

[0098] Next, processing with the encoder 203 and the partial decoder 205 which

constitute the dynamic-image coding equipment which is the core part of the dynamic-image coding system of drawing 1 is explained.

[0099] The hybrid code-ized approach which combined motion compensation predicting coding widely known for the so-called MPEG 2 (ISO/IEC 13818-2) etc. and DCT is used for dynamic-image coding equipment. In MPEG 2, the image of each frame is made into one picture of three kinds of pictures, I picture, P picture, or B picture, and it is made to carry out compression coding of the picture signal.

[0100] That is, as shown, for example in drawing 8, a frame F1 thru/or the picture signal of 17 frames to F17 are made into a group OBU picture, and it considers as one unit of processing. For example, the picture signal of the frame F1 of the head is encoded as an I picture, and the 2nd frame F2 processes the 3rd frame F3 as a B picture as a P picture, respectively. Hereafter, the frame F4 of the 4th henceforth thru/or F17 are processed by turns as B picture or a P picture.

[0101] As a picture signal of I picture, the picture signal for one frame is transmitted as it is. On the other hand, as a picture signal of P picture, fundamentally, as shown in drawing 8 (A), the difference from the picture signal of I picture which existed in the past in time than it, or P picture is transmitted. Furthermore, as a picture signal of B picture, fundamentally, as shown in drawing 8 (B), it asks for the difference from the average of both frames which are the frame which existed in the past in time, and with future, and the difference is transmitted.

[0102] Drawing 9 is carried out in this way, and the principle of the approach of encoding a dynamic-image signal is shown. As shown in this drawing, since the first frame F1 is processed as an I picture, it is sent out to a transmission line as transmission data F1X as it is (coding in an image). On the other hand, since the 2nd frame F2 is processed as a B picture, difference with the average value of the frame F1 which existed in the past in time, and the frame F3 which is with future in time calculates, and the difference is transmitted as transmission data F2X.

[0103] However, if four kinds of processings as this B picture are explained still more finely, they exist. The 1st processing transmits the data of the original frame F2 as transmission data F2X as it is, and turns into the same processing as the case in I picture (SP1) (intra coding). The 2nd processing calculates the difference from the frame F3 of the future in time, and transmits the difference (SP2) (backward prediction coding). The 3rd processing transmits difference (SP3) with the past frame F1 in time (forward prediction coding). Furthermore, the 4th processing generates difference (SP4) with the average value of the past frame F1 and the frame F3 of the future in time, and transmits this as transmission data F2X (both-directions predicting coding).

[0104] The approach transmission data decrease most among these four approaches is adopted.

[0105] in addition, difference -- both the motion vector x1 (motion vector between a frame F1 and a frame F2) (in the case of forward prediction) between the images (prediction image) of the frame which serves as an object which calculates difference when transmitting data, motion vector x2 (motion vector between a frame F3 and a frame F2) (in the case of backward prediction), or a motion vector x1 and x2 (in the case of both-directions prediction) -- difference -- it is transmitted with data.

[0106] Moreover, a motion vector x3 calculates the frame F3 of P picture with difference (SP3) with this frame by using as a prediction image the frame F1 which existed in the past in time, and this is transmitted as transmission data F3X (forward prediction coding). Or the data of the original frame F3 are transmitted as transmission data F3X as it is again (intra coding). (SP1) The direction whose transmission data decrease more is chosen by whether it is transmitted by which approach like the case in B picture.

[0107] Next, with reference to drawing 10 , the example of a configuration of dynamic-image coding equipment is explained. In addition, although not illustrated, this coding equipment is locking and operating to the image synchronous input S105 shown by drawing 1 .

[0108] From the terminal 74, the input frame S104 with a frame header is inputted, and the 3:2 pulldown source input flag S115 which shows whether the input dynamic image inputted from a picture input device is the 3:2 pulldown ***** film source is inputted from a terminal 75.

[0109] The input image S104 is inputted into image coding type assignment and the image coding sequence rearrangement machine 70. Here, it specifies whether the image of each frame inputted sequentially first is processed as which picture of I, P, and B. for example, the group OBU picture constituted by a frame F1 thru/or F17 as shown in drawing 8 -- I, B, P, B, P, and ... it is processed as B and P. The specified image coding type is written in the header of each frame.

[0110] Next, an input image is rearranged into the sequence encoded according to the specified image coding type. This is because it cannot decode unless I picture or P picture as a backward prediction image is prepared previously, in order to accompany B picture by backward prediction. Therefore, before encoding B picture, I picture or P picture which is with future from it must be encoded first. therefore -- for example, the case where an image coding type is specified as shown in drawing 8 -- the sequence of an image -- frames F1, F3, F2, F5, and F4 -- it rearranges with ...

[0111] The handling of the input image sequences S104 in image coding type

assignment and the image coding sequence rearrangement machine 70 in case an invalid frame (directed by frame header disabled_frame_flag) is contained in the input image sequences S104 is explained.

[0112] As shown in drawing 11 at this time, suppose that the input image sequences S104 which consist of frames F1-F13 are inputted. Here, "X" expresses an invalid frame. At this time, an invalid frame ignores and specifies an image coding type one by one like S501. The figure of S501 expresses the sequence of image coding type assignment. Next, an image is rearranged into the sequence encoded according to an image coding type. It is considered at this time that invalid-frame "X" is B picture. Therefore, S501 is rearranged as shown in S502. In this example, S502 is started by two-frame delay to S104.

[0113] The rearranged picture signal S502 is inputted into a scan converter 71. Here, the picture signal inputted by the raster scan is changed into the signal of a block format. That is, as shown in drawing 12, let the picture signal inputted by the raster scan be data of a frame format with which Rhine of V lines of H dots per line was collected. A scan converter 71 makes this signal of one frame a unit, and classifies 16 lines into M slices for it. And each slice is divided into M macro blocks. Each macro block is constituted by the luminance signal corresponding to 16x16 pixels (dot), and this luminance signal is classified into Brock Y [1] which makes further 8x8 dots a unit thru/or Y [4]. And Cb signal of 8x8 dots and Cr signal of 8x8 dots are equivalent to this luminance signal of 16x16 dots.

[0114] Moreover, in order to perform motion prediction of the picture signal S502 of a frame by which current coding is carried out by one side, the reference picture signal S504 is inputted into the motion vector detector 50. The motion vector detector 50 processes the picture signal (data) of each frame as I picture, P picture, or a B picture according to the directions from the image coding type assignment machine 70. The image data of the frame (for example, frame F1) processed as an I picture The image data of the frame (for example, frame F2) which is transmitted and memorized by front Hara image section 51a of a frame memory 51 from the motion vector detector 50, and is processed as a B picture Reference Hara image section 51b transmits and memorizes, and the image data of the frame (for example, frame F3) processed as a P picture is transmitted and memorized by back Hara image section 51c.

[0115] Moreover, when the image data of the frame which should be further processed as B picture (frame F4) or a P picture (frame F5) is inputted in the following timing, The image data of the first P picture (frame F3) memorized by back Hara image section 51c till then It is transmitted to front Hara image section 51a, the image data of the

following B picture (frame F4) is memorized by reference Hara image section 51b (overwrite), and the image data of the following P picture (frame F5) is memorized by back Hara image section 51c (overwrite). Such actuation is repeated successively.

[0116] In addition, when the frame of a picture signal S502 is an invalid frame, the motion vector detector 50 carries out 1 frame-time standby without processing anything.

[0117] In the prediction mode change circuit 52, as for the macro block read from the scan converter 71, frame prediction mode processing or field prediction mode processing is performed. To the bottom of control of the prediction judging circuit 54, the operation of the prediction in an image, forward prediction, backward prediction, or both-directions prediction is performed in operation part 53 further again. It is determined corresponding to a prediction error signal (difference of the reference image made into the object of processing, and the prediction image to this) whether to perform processing [which] among these processings. For this reason, the motion vector detector 50 generates the absolute value sum (the sum of squares is sufficient) of the prediction error signal used for this judgment.

[0118] Here, the frame prediction mode and field prediction mode in the prediction mode change circuit 52 are explained.

[0119] When frame prediction mode is set up, the prediction mode change circuit 52 outputs brightness Brock [of four pieces] Y [1] supplied from a scan converter 71 thru/or Y [4] to the latter operation part 53 as it is. Namely, it is in the condition that the data of Rhine of the top field and the data of Rhine of the bottom field were intermingled in each brightness Brock, as [show / in drawing 13 (A)] in this case. In this frame prediction mode, prediction is performed by making brightness Brock (macro block) of four pieces into a unit, and one motion vector corresponds to brightness Brock of four pieces.

[0120] On the other hand, the prediction mode change circuit 52 As shown in drawing 13 (B), the signal inputted from a scan converter 71 in field prediction mode with the configuration shown in drawing 13 (A) The chisel configuration of brightness Brock Y [1] and the Y [2] is carried out by the dot of Rhine of the top field among brightness Brock of four pieces, the data of Rhine of the bottom field are made to constitute other brightness Brock [of two pieces] Y [3], and Y [4], and they are outputted to operation part 53. In this case, to brightness Brock [of two pieces] Y [1], and Y [2], one motion vector corresponds and other one motion vector corresponds to other brightness Brock [of two pieces] Y [3], and Y [4].

[0121] In the case of frame prediction mode, as shown in drawing 13 (A), a color-difference signal is in the condition that the data of Rhine of the top field and the

data of Rhine of the bottom field are intermingled, and is supplied to operation part 53. Moreover, in the case of field prediction mode, as shown in drawing 13 (B), each color difference Brock's Cb and Cr upper half (four lines) is made into the color-difference signal of the top field corresponding to brightness Brock Y [1] and Y [2], and a lower half (four lines) is made into the color-difference signal of the bottom field corresponding to brightness Brock Y [3] and Y [4].

[0122] The motion vector detector 50 outputs the absolute value sum of the prediction error in frame prediction mode, and the absolute value sum of the prediction error in field prediction mode to the prediction mode change circuit 52. The prediction mode change circuit 52 compares the absolute value sum of the prediction error in frame prediction mode and field prediction mode, performs processing corresponding to the prediction mode in which the value is small, and outputs data to operation part 53.

[0123] In addition, since the input frame S104 serves as progressive structure when the 3:2 pulldown source input flag S115 stands, prediction mode is fixed to frame prediction mode.

[0124] The motion vector detector 50 generates [in / as follows / the prediction judging circuit 54] the absolute value sum of the prediction error for determining whether to perform prediction [which / of the prediction in an image, forward prediction, backward prediction, or both-directions prediction].

[0125] That is, it asks for sum $\sum |A_{ij} - A_{av}|$ of the absolute value of a difference with the average A_{av} of the signal A_{ij} of a macro block of a reference image, and the signal A_{ij} of a macro block as the absolute value sum of the prediction error of the prediction in an image. Moreover, it asks for sum $\sum |A_{ij} - B_{ij}|$ of the absolute value of the difference of the signal A_{ij} of an input macro block, and the signal B_{ij} of a macro block of a prediction image as the absolute value sum of the prediction error of forward prediction. Moreover, it asks for the absolute value sum of the prediction error of backward prediction and both-directions prediction as well as (changing the prediction image into a different prediction image from the case in forward prediction) the case in forward prediction.

[0126] These absolute value sums are supplied to the prediction judging circuit 54. The prediction judging circuit 54 is chosen as the absolute value sum of the prediction error of interchange prediction of the smallest thing among the absolute value sums of the prediction error of forward prediction, backward prediction, and both-directions prediction. Furthermore, the absolute value sum of the prediction error of this interchange prediction is compared with the absolute value sum of the prediction error of the prediction in an image, the smaller one of it is chosen, and the mode

corresponding to this selected absolute value sum is chosen as prediction mode. That is, if the absolute value sum of the prediction error of the prediction in an image is smaller, the prediction mode in an image will be set up. If the absolute value sum of the prediction error of interchange prediction is smaller, the mode whose absolute value sum which corresponds among forward prediction, backward prediction, or both-directions prediction mode was the smallest will be set up.

[0127] Thus, the motion vector detector 50 detects the motion vector between the prediction image corresponding to the prediction mode chosen by the prediction judging circuit 54 among four prediction modes, and a reference image, and outputs it to the variable-length coding network 58 and the motion compensation circuit 64. As mentioned above, that from which the corresponding absolute value sum of a prediction error serves as min as this motion vector is chosen.

[0128] When the image of a frame which should be processed as an I picture is inputted, as prediction mode, the prediction mode in a frame (mode in which motion compensation predicting coding is not performed) is set up, and 53d of change-over switches of operation part 53 is switched to Contact a side. Thereby, the image data of I picture is inputted into the DCT mode change circuit 55.

[0129] As shown in drawing 14 (A) or (B), this DCT mode change circuit 55 changes four data of brightness Brock into the condition (frame DCT mode) that Rhine of the top field and Rhine of the bottom field are intermingled or the separated condition (field DCT mode), and the condition of *****, and outputs them to the DCT circuit 56.

[0130] That is, the DCT mode change circuit 55 compares the coding effectiveness at the time of the data of the top field and the bottom field being intermingled and carrying out DCT processing with the coding effectiveness at the time of carrying out DCT processing in the condition of having dissociated, and chooses the mode with good coding effectiveness.

[0131] For example, the inputted signal is considered as the configuration in which Rhine of the top field and the bottom field is intermingled as shown in drawing 14 (A), the difference of the signal of Rhine of the top field and the signal of Rhine of the bottom field which adjoins up and down is calculated, and it asks for the sum (or sum of squares) of the absolute value further. Moreover, it considers as the configuration from which Rhine of the top field and the bottom field separated the inputted signal as shown in drawing 14 (B), the difference of the signal of Rhine of the top field which adjoins up and down, and the difference of the signal of Rhine of the bottom field are calculated, and it asks for the sum (or sum of squares) of each absolute value. Furthermore, both (absolute value sum) are compared and the DCT mode corresponding to a small value is

set up. That is, if former one is small, frame DCT mode will be set up, and if latter one is small, field DCT mode will be set up.

[0132] And while outputting the data of the configuration corresponding to the selected DCT mode to the DCT circuit 56, the DCT flag which shows the selected DCT mode is outputted to the variable-length coding network 58 and the motion compensation circuit 64.

[0133] In addition, when the 3:2 pulldown source input flag S115 stands, since the input frame S104 serves as progressive structure, DCT mode is fixed to frame DCT mode.

[0134] The prediction mode (drawing 13) in the prediction mode change circuit 52 is compared with the DCT mode (drawing 14) in this DCT mode change circuit 55, and DS [in / about brightness Brock / each mode of both] is substantially the same so that clearly.

[0135] It is inputted into the DCT circuit 56, DCT (discrete cosine transform) processing is carried out, and the image data of I picture outputted from the DCT mode change circuit 55 is changed into a DCT multiplier. This DCT multiplier is inputted into the variable-length coding network 58, after being inputted into the quantization circuit 57 and quantizing by the quantization step corresponding to the amount of data accumulation of a transmission buffer 59 (buffer accumulated dose).

[0136] The variable-length coding network 58 transmits an image coding type, top_field_first, and repeat_first_field from the information on a frame header. Moreover, corresponding to the quantization step (scale) supplied from the quantization circuit 57, the variable-length coding network 58 changes the image data (in the case of now data of I picture) supplied from the quantization circuit 57 into variable-length signs, such as Huffman coding, and outputs it to a transmission buffer 59.

[0137] To the variable-length coding network 58, from the quantization circuit 57, moreover, a quantization step (scale), the prediction judging circuit 54 -- prediction mode (the prediction in an image, forward prediction, and backward prediction --) From the mode and the motion vector detector 50 which show any of both-directions prediction were set up, or a motion vector, From the prediction mode change circuit 52, a prediction flag (flag which shows any should be set up between frame prediction mode or field prediction mode), And the DCT flag (flag which shows any should be set up between frame DCT mode or field DCT mode) which the DCT mode change circuit 55 outputs is inputted, and variable length coding also of these is carried out.

[0138] However, since both a prediction flag and a DCT flag are the fixed values of a frame mode when the 3:2 pulldown source input flag S115 stands, it is not outputted from the variable-length coding network 58. Instead, the information (information that

an input frame is progressive structure) that the 3:2 pulldown source input flag S115 stands is transmitted.

[0139] A transmission buffer 59 stores the inputted data temporarily, and outputs the quantized signal corresponding to an accumulated dose to the quantization circuit 57.

[0140] A transmission buffer 59 will reduce the amount of data of quantization data by enlarging the quantization scale of the quantization circuit 57 with a quantized control signal, if the data residue increases to a permission upper limit. Moreover, contrary to this, if a data residue decreases to a permission lower limit, a transmission buffer 59 will increase the amount of data of quantization data by making the quantization scale of the quantization circuit 57 small with a quantized control signal. Thus, overflow or the underflow of a transmission buffer 59 is prevented.

[0141] And the data stored in the transmission buffer 59 are read to predetermined timing, and are outputted to a transmission line.

[0142] On the other hand, the data of I picture outputted from the quantization circuit 57 are inputted into the reverse quantization circuit 60, and are reverse-quantized corresponding to the quantization step supplied from the quantization circuit 57. The output of the reverse quantization circuit 60 is inputted into the IDCT (reverse DCT) circuit 61, after reverse DCT processing is carried out, through a computing element 62, is supplied to forward prediction image section 63a of a frame memory 63, and is memorized.

[0143] next, the case where it mentions above when the image of a frame which should be processed as a P picture from a scan converter 71 is inputted -- the same -- inter-frame [in the motion vector detector 50 to a macro block unit] -- the absolute value sum of difference (prediction error) is supplied to the prediction mode change circuit 52 and the prediction judging circuit 54. And corresponding to the absolute value sum of the prediction error of a macro block, a frame / field prediction mode or the prediction mode in an image, and forward prediction mode are set up.

[0144] When the prediction mode in a frame is set up, operation part 53 is switched to Contact a side, as 53d of change-over switches was mentioned above. Therefore, this data is transmitted to a transmission line like the data of I picture through the DCT mode change circuit 55, the DCT circuit 56, the quantization circuit 57, the variable-length coding network 58, and a transmission buffer 59. Moreover, through the reverse quantization circuit 60, the IDCT circuit 61, and a computing element 62, this data is supplied to backward prediction image section 63b of a frame memory 63, and is memorized.

[0145] While 53d of change-over switches is switched to Contact b at the time of forward

prediction mode, the picture signal (in case of now image of I picture) data memorized by forward prediction image section 63a of a frame memory 63 are read, and a motion compensation is carried out by the motion compensation circuit 64 corresponding to the motion vector which the motion vector detector 50 outputs.

[0146] The prediction image data outputted from the motion compensation circuit 64 is supplied to computing-element 53a. Computing-element 53a subtracts the prediction image data corresponding to this macro block supplied from the motion compensation circuit 64 from the data of a macro block of the reference image supplied from the prediction mode change circuit 52, and outputs that difference (prediction error). this difference -- data are sent out to a transmission line through the DCT mode change circuit 55, the DCT circuit 56, the quantization circuit 57, the variable-length coding network 58, and a transmission buffer 59. moreover, this difference -- data are locally decoded by the reverse quantization circuit 60 and the IDCT circuit 61, and are inputted into a computing element 62.

[0147] However, since both a prediction flag and a DCT flag are the fixed values of a frame mode when the 3:2 pulldown source input flag S115 stands, it is not outputted from the variable-length coding network 58. Instead, the information (information that an input frame is progressive structure) that the 3:2 pulldown source input flag S115 stands is transmitted.

[0148] The same data as the prediction image data currently supplied to computing-element 53a are supplied to this computing element 62 again. the difference to which the IDCT circuit 61 outputs a computing element 62 -- the prediction image data which the motion compensation circuit 64 outputs to data is added. Thereby, the image data of P picture which carried out partial decode is obtained. The image data of this P picture is supplied to backward prediction image section 63b of a frame memory 63, and is memorized.

[0149] next, the case where it mentions above when the image of a frame which should be processed as a B picture from a scan converter 71 is inputted -- the same -- inter-frame [in the motion vector detector 50 to a macro block unit] -- the absolute value sum of difference (prediction error) is supplied to the prediction mode change circuit 52 and the prediction judging circuit 54. and inter-frame [in a macro block unit] -- corresponding to the magnitude of the absolute value sum of difference, a frame / field mode is set up and prediction mode is set to either the prediction mode in a frame, forward prediction mode, backward prediction mode or both-directions prediction mode.

[0150] As mentioned above, 53d of change-over switches is switched to Contacts a and b, respectively at the time of the prediction mode in a frame, and forward prediction mode.

At this time, the same processing as the case in P picture is performed, and data are transmitted.

[0151] On the other hand, when backward prediction mode and both-directions prediction mode are set up, 53d of change-over switches is switched to Contacts c and d, respectively.

[0152] At the time of the backward prediction mode in which 53d of change-over switches is switched to Contact c, the image (in case of now image of P picture) data memorized by backward prediction image section 63b are read, and a motion compensation is carried out by the motion compensation circuit 64 corresponding to the motion vector which the motion vector detector 50 outputs.

[0153] The prediction image data outputted from the motion compensation circuit 64 is supplied to computing-element 53b. Computing-element 53b subtracts the prediction image data supplied from the motion compensation circuit 64 from the data of the input macro block supplied from the prediction mode change circuit 52, and outputs the difference. this difference -- data are sent out to a transmission line through the DCT mode change circuit 55, the DCT circuit 56, the quantization circuit 57, the variable-length coding network 58, and a transmission buffer 59. moreover, this difference -- data are locally decoded by the reverse quantization circuit 60 and the IDCT circuit 61, and are inputted into a computing element 62.

[0154] The same data as the prediction image data currently supplied to computing-element 53b are supplied to this computing element 62 again. the difference to which the IDCT circuit 61 outputs a computing element 62 -- the prediction image data which the motion compensation circuit 64 outputs to data is added. Thereby, the image data of B picture which carried out partial decode is obtained.

[0155] At the time of the both-directions prediction mode in which 53d of change-over switches is switched to Contact d, the image (in case of now image of I picture) data memorized by forward prediction image section 63a and the image (in case of now image of P picture) data memorized by backward prediction image section 63b are read, and a motion compensation is carried out by the motion compensation circuit 64 corresponding to the motion vector which the motion vector detector 50 outputs.

[0156] The prediction image data outputted from the motion compensation circuit 64 is supplied to computing-element 53c. Computing-element 53c subtracts the average of the prediction image data supplied from the motion compensation circuit 64 from the data of the input macro block supplied from the prediction mode change circuit 52, and outputs the difference. this difference -- data are sent out to a transmission line through the DCT mode change circuit 55, the DCT circuit 56, the quantization circuit 57, the

variable-length coding network 58, and a transmission buffer 59. moreover, this difference -- data are locally decoded by the reverse quantization circuit 60 and the IDCT circuit 61, and are inputted into a computing element 62.

[0157] The same data as the prediction image data currently supplied to computing element 53c are supplied to this computing element 62 again. the difference to which the IDCT circuit 61 outputs a computing element 62 -- the prediction image data which the motion compensation circuit 64 outputs to data is added. Thereby, the image data of B picture which carried out partial decode is obtained.

[0158] Since both a prediction flag and a DCT flag are the fixed values of a frame mode when the 3:2 pulldown source input flag S115 stands, it is not outputted from the variable-length coding network 58. Instead, the information (information that an input frame is progressive structure) that the 3:2 pulldown source input flag S115 stands is transmitted.

[0159] Since B picture is not used as the prediction image of other images, it is not memorized by the frame memory 63.

[0160] In addition, in a frame memory 63, a bank change-over is performed if needed, and to a predetermined reference image, forward prediction image section 63a and backward prediction image section 63b can switch what is memorized on one side or another side as a forward prediction image or a backward prediction image, and can output it.

[0161] Although explained above focusing on brightness Brock, about color difference Brock, similarly, it is processed as a unit and the macro block shown in drawing 13 and drawing 14 is transmitted. In addition, what set to one half the motion vector of brightness Brock to whom the motion vector in the case of processing color difference Brock corresponds to the perpendicular direction and the horizontal direction, respectively is used.

[0162] When an invalid frame is inputted from a scan converter 71, from a computing element 62, meaningless data are outputted without the DCT circuit 56, the quantization circuit 57, the reverse quantization circuit 60, the reverse DCT circuit 61, and the motion compensation circuit 64 processing anything. At this time, nothing is written in a frame memory 63. In the meantime, no bit streams are outputted from the variable-length coding network 58.

[0163] When coding and the invalid frame of I and P which have been mentioned above, and B picture are inputted, the image data by which partial decode was carried out is inputted into a scan converter 72 with a computing element 62. Here, the image inputted with a macro block is changed into the image of a raster scan. The raster scan

picture signal S505 is inputted into the image display sequence rearrangement machine 73. The example of the output from the image display sequence rearrangement machine 73 is shown in drawing 15. Here, based on an image coding type, the display order of an input image is rearranged under a regulation as shown in (1) to (3).

[0164] (1) I picture inputted first is memorized in the image display sequence rearrangement machine 73.

[0165] (2) When the image inputted into the degree is B picture or an invalid frame, it ** and the image is outputted. Or when the image inputted into the degree is I picture or P picture, I picture or P picture memorized in the image display sequence rearrangement machine 73 is outputted. And I picture or P picture by which the current input was carried out is newly memorized in the image display sequence rearrangement machine 73.

[0166] (3) Return to the above (2).

[0167] Above, as shown in (1) to (3), it carries out, and the partial decode output S109 is outputted from the image display sequence rearrangement machine 73.

[0168] As drawing 1 explained the partial decode output S109 previously, it is outputted to the monitor 207 which is an image output unit through the after-treatment machine 206.

[0169]

[Effect of the Invention] According to the time-varying-image-processing approach concerning this invention, it consists of two or more field images. A predetermined image processing is performed to the digital dynamic-image signal inputted at the predetermined image rate. Are the time-varying-image-processing approach to transmit, and a redundancy field image is detected from an input digital dynamic-image signal. Judge the combination of the top field and the bottom field which constitute the frame to which a predetermined image processing should be performed from field image sequences from which the redundancy field detected from two or more field images was removed, and the redundancy field was removed, and a judgment result is outputted. By generating the processing picture signal which inserts a predetermined signal in the field image sequences from which the redundancy field was removed, and has the same image rate as an input digital image signal, and performing a predetermined image processing to a processing picture signal according to a judgment result a redundancy image is a fixed period -- it is -- the dynamic image contained irregularly can be made into the new image-sequences signal with which the synchronization was taken, and can carry out an image processing to an input image synchronizing signal.

[0170] In this case, based on side information, an exact image processing can be

performed by the image encoder side by adding the side information used in case said predetermined image processing is performed to said processing picture signal to said processing picture signal.

[0171] Moreover, when an input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed, The 1st flag which shows which was previously read among said top field and said bottom field in case said side information processes a subject-copy image, An exact image processing can be performed by having the 2nd flag which shows at which image rate of the 3 fields or the 2 fields one screen of a subject-copy image was read, and the 3rd flag which shows which picture signal is said inserted predetermined signal among processing picture signals.

[0172] Moreover, the predetermined signal inserted is an invalid signal which is meaningless as a picture signal, and since it may not perform compression coding processing by the side of an encoder to this invalid signal, it can perform an efficient image processing.

[0173] Furthermore, an input digital dynamic-image signal is a signal generated by 3:2 pulldown processing in which read one screen of a subject-copy image in the 2 fields or the 3 fields, and an image rate was changed. Whenever [with the picture signal of the current field of an input digital dynamic-image signal and the picture signal delayed by the 2 fields / field correlation] is calculated. Furthermore, since the number of input fields of an input digital dynamic-image signal is counted, it judges whether this counted value is a predetermined value and the redundancy field is detected from the result of this judgment, and whenever [field correlation], the positive redundancy field is detectable.

[0174] Moreover, according to the time-varying-image-processing approach concerning this invention, consist of two or more field images. The redundancy field is removed from the digital dynamic-image signal of a predetermined image rate. The invalid signal with which the digital dynamic-image signal with which the redundancy field was removed was beforehand decided on for the redundancy field is inserted. It is the time-varying-image-processing approach which restores the digital dynamic-image signal which includes the redundancy field from the processing picture signal which added the side information for furthermore controlling an image processing, and was generated. Separate side information from a processing picture signal, and an invalid signal is removed from a processing picture signal using this side information. By generating the redundancy field and restoring the digital dynamic-image signal of a predetermined image rate, the digital dynamic-image signal for a display can be easily

acquired by repeating some picture signals of a picture signal train with which the invalid signal was removed.

[0175] In addition, for pretreatment, such as removing a redundancy image in the time-varying-image-processing system which makes a master clock the image synchronous input supplied from a picture input device out of the original input dynamic image supplied from a picture input device When the processing image sequences B which should be inputted into the image processing system A of the next step do not lock in the image synchronous input supplied from a picture input device Since it can input into an image processing system A after remaking the new processing image sequences C locked in an image synchronous input (lock), Can make into the master clock of an image processing system the image synchronous input supplied from a picture input device, and always about the image processing system which is the core part of an image processing system Since especially modification is not needed compared with the case where the usual input image sequences lock in an image synchronous input, there is practically excellent effectiveness, such as not increasing complexity of an image processing system.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing an example of the time-varying-image-processing system by which one example of the time-varying-image-processing approach concerning this invention was applied.

[Drawing 2] It is drawing for explaining 3:2 pulldown ** which reads one coma of the motion-picture film source in the 2 fields or the 3 fields.

[Drawing 3] It is the Brock circuit diagram showing the example of a pretreatment machine.

[Drawing 4] It is a flow chart for explaining an example of actuation of a pretreatment machine.

[Drawing 5] It is a timing chart for explaining an example of actuation of a pretreatment machine.

[Drawing 6] It is the Brock circuit diagram showing the example of an after-treatment

machine.

[Drawing 7] It is a timing chart for explaining an example of actuation of an after-treatment machine.

[Drawing 8] It is drawing for explaining the type of a picture.

[Drawing 9] It is drawing showing the principle of an example of the dynamic-image coding approach.

[Drawing 10] It is the Brock circuit diagram showing an example of the encoder for dynamic-image coding.

[Drawing 11] It is drawing for explaining image coding type assignment and image coding sequence rearrangement actuation.

[Drawing 12] It is drawing showing the structure of image data.

[Drawing 13] It is drawing for explaining a frame / field prediction mode.

[Drawing 14] It is drawing for explaining a frame / field DCT mode.

[Drawing 15] It is drawing for explaining image display sequence rearrangement actuation.

[Drawing 16] It is the block diagram showing an example of the conventional dynamic-image coding system.

[Drawing 17] It is drawing for explaining frame synchronization.

[Drawing 18] It is drawing for explaining the actuation which removes the redundancy field from a 3:2 pulldown ***** signal.

[Description of Notations]

202 Pretreatment Machine

203 Encoder

205 Partial Decoder

206 After-Treatment Machine

209, 210, 211, 212 Change-over switch

302 Delay Machine

305 Accumulation Machine

306 Comparator

307 Threshold Memory

309 Field Counter

310 Comparator

311 AND-Operation Machine

312 Output Field Controller

313 Frame Header Multiplexing Machine